

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-231904

(43)Date of publication of application : 16.08.2002

(51)Int. Cl. H01L 27/105

G11C 11/14

G11C 11/15

H01F 10/08

H01F 10/32

H01L 43/08

(21)Application number : 2001-029426 (71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 06.02.2001 (72)Inventor : KUNIKIYO TATSUYA
NAGAHISA KATSUMI
MAEDA SHIGENOBU

(54) MAGNETIC STORAGE SYSTEM AND MAGNETIC SUBSTRATE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a RAM requiring lower power dissipation in writing and time in erasing and writing.

SOLUTION: A plurality of bit wires BL1 disposed in parallel each other are disposed so that they are intersecting over a plurality of word wires WL1 disposed in parallel each other. MRAM cells MC2 are formed at each intersection point sandwiched between the word wires and the bit wires. Each MRAM cell MC3 is disposed so that easy axes indicated by arrows are inclined at 45-degree to the bit and word wires.

LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's
decision of rejection]
[Kind of final disposal of
application other than the
examiner's decision of rejection or
application converted registration]
[Date of final disposal for
application]
[Patent number]
[Date of registration]
[Number of appeal against
examiner's decision of rejection]
[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

CLAIMS

[Claim(s)]

[Claim 1] Two or more bit line and two or more word lines which cross by non-contact and constitute a matrix, It is arranged by the intersection of said two or more bit lines and said two or more word lines, respectively. It is the magnetic storage equipped with two or more memory cells containing at least one magnetic tunnel junction. Said two or more memory cells It is arranged, respectively between [of said two or more bit lines] 1 and 1 of said two or more word lines. Said at least one magnetic tunnel junction It has the software ferromagnetic layer which can change the direction of magnetization. Said at least one magnetic tunnel junction Magnetic storage arranged so that the easy axis which is the easy direction of magnetization of said software ferromagnetic layer may have the include angle of 40 - 50 degrees to the extension direction of said two or more bit lines and two or more of said word lines.

[Claim 2] Said magnetic tunnel junction is magnetic storage according to claim 1 with which a plane view configuration is constituted by the rectangle so that the side parallel to said easy axis may become longer

than the side which intersects perpendicularly with said easy axis.
[Claim 3] Two or more bit line and two or more word lines which cross by non-contact and constitute a matrix, It is arranged by the intersection of said two or more bit lines and said two or more word lines, respectively. It is the magnetic storage equipped with two or more memory cells containing at least one magnetic tunnel junction. It connects with the 1st edge of two or more of said bit lines, respectively. The electric connection between said 1st edge and the 1st power source [2nd] of power-source ***** Two or more 1st switchable change means, Magnetic storage which is connected to the 2nd edge of two or more of said bit lines, respectively, and is equipped with two or more 2nd switchable change means for the electric connection between said 2nd edge and said 1st power source [2nd] of the power-source ***** above.

[Claim 4] As for said 1st change means, each 1st main electrode is connected to the 1st edge of two or more of said bit lines. Each 2nd main electrode has the 1st and 2nd MOS transistors of the same conductivity type connected to said the 1st power source and said 2nd power source. Said 2nd change means Magnetic storage according to claim 3 which has 4 MOS transistors of the 3rd and 4th of the same conductivity type by which each 1st main electrode was connected to the 2nd edge of two or more of said bit lines, and each 2nd main electrode was connected to said the 1st power source and said 2nd power source.

[Claim 5] As for said 1st change means, each 1st main electrode is connected to the 1st edge of two or more of said bit lines. Each 2nd main electrode has the 1st and 2nd MOS transistors of differing of the conductivity type connected to said the 1st power source and said 2nd power source. Said 2nd change means Magnetic storage according to claim 3 which each 1st main electrode is connected to the 2nd edge of two or more of said bit lines, and has the 3rd and 4th MOS transistors from which the conductivity type by which each 2nd main electrode was connected to said the 1st power source and said 2nd power source differs.

[Claim 6] Said 1st and 2nd MOS transistors each Said 2nd MOS transistor connected between the main electrodes of the above 1st, and the 5th MOS transistor of the same conductivity type, The 3rd and 4th MOS transistors of an account each Said 4th MOS transistor connected between the main electrodes of the above 1st, and the 6th MOS transistor of the same conductivity type, It is the magnetic storage according to claim 5 by which the control electrode of said 5th and 6th MOS transistors is connected to the 3rd power source which gives the predetermined electrical potential difference which will always be in an ON state by

preparing for a pan.

[Claim 7] Two or more bit line and two or more word lines which cross by non-contact and constitute a matrix, and it being arranged by the intersection of said two or more bit lines and said two or more word lines, respectively, and with two or more memory cells containing at least one magnetic tunnel junction, and two or more memory cell arrays come out of and constituted Two or more main word lines crossed to said two or more memory cell arrays, and two or more memory cell array selection lines arranged corresponding to each of two or more of said memory cell arrays, It has the memory cell array group of at least 1 the bottom. **** — said two or more word lines It connects with the output of the 1st combination logic gate established in the intersection of said two or more main word lines and two or more of said memory cell array selection lines, respectively, respectively. The input of said 1st combination logic gate is magnetic storage connected to 1 of said two or more main word lines in a crossover condition, and 1 of said two or more memory cell array selection lines.

[Claim 8] Two or more global word lines which have two or more said memory cell array groups of at least 1, and are crossed to said two or more memory cell array groups, It has further two or more memory cell array group-selection lines arranged corresponding to each of two or more of said memory cell array groups. Said two or more main word lines It connects with the output of the 2nd combination logic gate established in the intersection of said two or more global word lines and two or more of said memory cell array group-selection lines, respectively, respectively. The input of said 2nd combination logic gate is magnetic storage according to claim 7 connected to 1 of said two or more global word lines in a crossover condition, and 1 of said two or more memory cell array group-selection lines.

[Claim 9] Two or more bit line and two or more word lines which cross by non-contact and constitute a matrix, and it being arranged by the intersection of said two or more bit lines and said two or more word lines, respectively, and with two or more memory cells containing at least one magnetic tunnel junction, and two or more memory cell arrays come out of and constituted Had two or more Maine bit lines crossed to said two or more memory cell arrays, and two or more memory cell array selection lines arranged corresponding to each of two or more of said memory cell arrays. It has the memory cell array group of at least 1. Said two or more bit lines It connects with the output of the 1st combination logic gate established in the intersection of said two or more Maine bit lines and two or more of said memory cell array selection

lines, respectively, respectively. The input of said 1st combination logic gate is magnetic storage connected to 1 of said two or more Maine bit lines in a crossover condition, and 1 of said two or more memory cell array selection lines.

[Claim 10] Two or more global bit lines which have two or more said memory cell array groups of at least 1, and are crossed to said two or more memory cell array groups, It has further two or more memory cell array group-selection lines arranged corresponding to each of two or more of said memory cell array groups. Said two or more Maine bit lines It connects with the output of the 2nd combination logic gate established in the intersection of said two or more global bit lines and two or more of said memory cell array group-selection lines, respectively, respectively. The input of said 2nd combination logic gate is magnetic storage according to claim 9 connected to 1 of said two or more global bit lines in a crossover condition, and 1 of said two or more memory cell array group-selection lines.

[Claim 11] Two or more bit line and two or more word lines which cross by non-contact and constitute a matrix, and it being arranged by the intersection of said two or more bit lines and said two or more word lines, respectively, and with two or more memory cells containing at least one magnetic tunnel junction, and the memory cell array come out of and constituted It is the magnetic storage which generates a field in the direction in alignment with the easy axis which is the direction for magnetization of said software ferromagnetic layer where have an inductor, said at least one magnetic tunnel junction has the software ferromagnetic layer which can change the direction of magnetization, and said inductor is easy.

[Claim 12] It is the magnetic storage according to claim 11 which is the coiled form inductor arranged by arranging said at least one magnetic tunnel junction so that said easy axis may agree in the extension direction of said two or more bit lines or two or more of said word lines so that said inductors might surround said memory cell array along the extension direction of said two or more bit lines or said two or more word lines which agree with the direction of said easy axis.

[Claim 13] Two or more bit line and two or more word lines which cross by non-contact and constitute a matrix, and it being arranged by the intersection of said two or more bit lines and said two or more word lines, respectively, and with two or more memory cells containing at least one magnetic tunnel junction, and at least one memory cell array come out of and constituted It is prepared in the outside of said two or more bit lines and said two or more word lines of said at least one

memory cell array, respectively. Magnetic storage equipped with at least one wrap plate-like flash plate bit line and at least one flash plate word line for the formation field of said two or more bit lines and two or more of said word lines.

[Claim 14] It is the magnetic storage according to claim 13 by which two or more arrangement is carried out, respectively by having two or more said at least one memory cell arrays, and arranging said two or more memory cell arrays in the shape of a matrix so that said at least one flash plate bit line and at least one flash plate word line may constitute a matrix in accordance with the array of two or more of said memory cell arrays.

[Claim 15] Two or more bit line and two or more word lines which cross by non-contact and constitute a matrix, and it being arranged by the intersection of said two or more bit lines and said two or more word lines, respectively, and with two or more memory cells containing at least one magnetic tunnel junction, and the memory cell array come out of and constituted Even if there are few said two or more bit lines and two or more word lines, it is arranged in two edges of the method of one, respectively. Magnetic storage equipped with at least one inductor which saves the current of the selected bit line and a word line which flows to the method of one at least by LC resonance, and at least one capacitor.

[Claim 16] It has two or more said at least one inductors and said at least one capacitors. Said two or more bit lines Two become a pair and two or more bit line pairs are constituted. Said two or more inductors Corresponding to said two or more each of a bit line pair, two or more 1st inductors arranged so that it might connect electrically between bit lines are included. Said two or more capacitors Magnetic storage according to claim 15 which contains two or more 1st capacitors electrically connected corresponding to each of two or more of said bit lines in an edge opposite to the arrangement side of two or more of said inductors.

[Claim 17] Two become a pair and said two or more word lines constitute two or more Word line pairs. Said two or more inductors Corresponding to each of two or more of said Word line pairs, two or more 2nd inductors arranged so that it might connect electrically between word lines are included further. Said two or more capacitors Magnetic storage according to claim 16 which contains further two or more 2nd capacitors electrically connected corresponding to each of two or more of said word lines in an edge opposite to the arrangement side of two or more of said inductors.

[Claim 18] At least one semiconductor chip and the screen which consists of conductors and contains said at least one semiconductor chip, The package which consists of resin and contains said screen, and the base substrate which closes and seals opening of said package, With the bump for signal transmissions who is arranged in the outside principal plane of said base substrate, and performs the signal transmission of said at least one semiconductor chip and exterior It is arranged so that said bump for signal transmissions may be surrounded, and it has the bump for electric shielding electrically connected to said screen. Said at least one semiconductor chip Magnetic storage including the magnetic storage chip equipped with the memory cell array constituted by having two or more memory cells containing at least one magnetic tunnel junction.

[Claim 19] Magnetic storage according to claim 18 further equipped with the 1st stress relaxation film arranged in the inside and the outside of the opening edge of said screen, and the 2nd stress relaxation film arranged by the wall of said screen.

[Claim 20] Said account chip of the MAG and said circuit chip are magnetic storage according to claim 19 which piles up up and down and is contained by said electric shielding inside of the body, including further the circuit chip in which said at least one semiconductor chip includes the circumference circuit of said memory cell array.

[Claim 21] Said at least one magnetic tunnel junction is magnetic storage according to claim 18 with which said screen consists of ferromagnetics which have said software ferromagnetic layer and EQC, and bigger permeability than it by having the software ferromagnetic layer which can change the direction of magnetization.

[Claim 22] Said screen is magnetic storage according to claim 18 which consists of the antiferromagnetic substance.

[Claim 23] Said screen is magnetic storage according to claim 18 which consists of multilayers of a ferromagnetic and the antiferromagnetic substance.

[Claim 24] The magnetic-substance substrate which was arranged throughout the principal plane and which has at least the multilayers which form at least one magnetic tunnel junction.

[Claim 25] Said multilayers are magnetic-substance substrates according to claim 24 which contain the diamagnetic-material layer, the ferromagnetic layer, the tunnel barrier layer that consists of insulators, and software ferromagnetic layer which were arranged in order as said at least one magnetic tunnel junction.

[Claim 26] Said multilayers are magnetic-substance substrates according to claim 25 which are arranged by the lower part of said at least one

magnetic tunnel junction, and contain further the two-layer film of the 1st conductivity-type impurity layer and the 2nd conductivity-type impurity layer which constitute pn junction.

[Claim 27] Said magnetic-substance substrate is a magnetic-substance substrate according to claim 24 which has said multilayers on a SOI substrate equipped with the substrate section used as a foundation, and the SOI layer which was arranged on this substrate section, and which embedded and was arranged on the oxide film and this embedding oxide film.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] Especially this invention relates to magnetic storage with the non-volatile memory array which uses a magnetic tunnel junction as each memory cell about magnetic storage.

[0002]

[Description of the Prior Art] The structure which sandwiched the <tunnel magneto-resistive effect> insulator with two ferromagnetics is called a magnetic tunnel junction (Magnetic TunnelJunction:MTJ).

[0003] The conceptual diagram of MTJ is shown in drawing 67 . In drawing 67 , it is arranged so that an insulating layer TB may be sandwiched by the ferromagnetic layers FM21 and FM22, and it has become the ferromagnetic layers FM21 and FM22 with the configuration that an electrical potential difference is impressed.

[0004] In this structure, measurement of the current which tunnels an insulating layer TB observes the phenomenon in which a current value changes with sense of magnetization of two ferromagnetic layers.

[0005] This phenomenon is called the tunnel magnetic-reluctance (Tunnel Magnetic Resistance:TMR) effectiveness. The TMR effectiveness is explained using drawing 68 - drawing 70 .

[0006] Drawing 68 shows the mimetic diagram of the density of states N of transition metals (E). In drawing 68 , a density of states is shown on an axis of abscissa, Energy E is shown on an axis of ordinate, and the electron which an atom has is classified according to the sense of spin, and is shown. That is, the density of states of the atom with which the sense of spin has a downward electron on left-hand side toward

drawing 68 is shown, and the density of states of the atom with which the sense of spin has an upward electron on right-hand side is shown.

[0007] Moreover, in drawing 68, in order to show typically the atom with which it fills up with the electron to Fermi level among 3d orbit and 4 s orbits, hatching shows the atom with which it fills up with the electron to Fermi level bordering on Fermi level.

[0008] Transition metals become a ferromagnetic because the number of upward spin differs from the number of downward spin in the electron of 3d orbit among the atoms with which it fills up with the electron to Fermi level.

[0009] That is, since the electron of 4 s orbits has the number the same as the number of upward spin of downward spin, it is not contributed to magnetic generating.

[0010] Drawing 69 and drawing 70 are drawings showing the TMR effectiveness typically. In drawing 69, since there are more atomic density of states which have the electron of downward spin among 3d orbits of the atom which constitutes the ferromagnetic layer FM 21 on the left-hand side of an insulating layer TB than the atomic density of states which has the electron of upward spin, the sense of magnetization becomes downward as a whole.

[0011] The sense of as a whole [same] magnetization of the ferromagnetic layer FM 22 on the right-hand side of an insulating layer TB becomes downward.

[0012] Electronic tunneling happens so that the sense of the spin of ***** and a final state may mainly be saved. Since both the downward spin state consistencies of ***** (inside of the ferromagnetic layer FM 21) and a final state (inside of the ferromagnetic layer FM 22) are large in the case of drawing 69, a tunnel probability becomes large and tunnel current also becomes large. That is, tunnel magnetic reluctance becomes small.

[0013] On the other hand, although the atomic density of states which has the electron of the upward spin of ***** (inside of the ferromagnetic layer FM 21) is large in drawing 70, since the atomic density of states which has the electron of the upward spin of a final state (inside of the ferromagnetic layer FM 22) is small, a tunnel probability becomes small and tunnel current also becomes small. That is, tunnel magnetic reluctance becomes large.

[0014] When resistance in the case of having turned to RF and an opposite direction for resistance when the sense of magnetization of two ferromagnetic layers is mutually the same here is set to RAF, tunnel magnetic-reluctance rate of change (Tunnel Magnetic Resistance

Rate:TMRR) is expressed with a degree type.

[0015]

[Equation 1]

$$\boxed{\times}^{-}$$

[0016] In addition, in the above-mentioned formula (1), P1 and P2 are the rates of spin polarization of the ferromagnetic layers FM21 and FM22, respectively.

[0017] And when the density of states in the Fermi surface of sigma spin band is set to Dsigma (EF), the rate of spin polarization is expressed with a formula below.

[0018]

[Equation 2]

$$\boxed{\times}^{-}$$

[0019] That is, the rate of spin polarization becomes so large that the density-of-states difference of the upward spin in a Fermi surface and downward spin is large. Moreover, TMRR becomes large, so that the rate of spin polarization approaches 1. Moreover, it is known that spin polarization is proportional to magnetization. Here, the rate of spin polarization of the various magnetic substance is collectively shown in Table 1.

[0020]

[Table 1]

$\boxed{\times}^{-}$

[0021] The equipment which the magnetization direction of two ferromagnetic layers is made to correspond to 0 or 1, and memorizes data using the TMR effectiveness explained above is MRAM (Magnetic Random AccessMemory).

[0022] Therefore, with the structure of drawing 67 , although only one

side of two ferromagnetic layers of MTJ wants to change the magnetization direction, if a field is applied, the direction of magnetization of both ferromagnetic layers may change. Then, as shown in drawing 71 , the structure where the antiferromagnetic substance layer was formed on one ferromagnetic layer is proposed in order to fix the magnetization direction of one ferromagnetic layer.

[0023] In drawing 71 , an insulating layer TB is inserted in the ferromagnetic layers FM21 and FM22, and the antiferromagnetic substance layer AF is arranged in the upper part of the ferromagnetic layer FM 21. In addition, the positive electrode of DC power supply is connected to the antiferromagnetic substance layer AF, and the negative electrode is connected to the ferromagnetic layer FM 22.

[0024] When a ferromagnetic and the antiferromagnetic substance are formed adjacently, and the magnetic flux which pierces through both closes, the direction of magnetization is fixed. This structure is called a spin bulb mold ferromagnetism tunnel junction component.

[0025] Moreover, the configuration of the modification of a spin bulb mold ferromagnetism tunnel junction component is shown in drawing 72 . In drawing 72 , an insulating layer TB is inserted in the ferromagnetic layers FM21 and FM22, the antiferromagnetic substance layer AF is arranged in the upper part of the ferromagnetic layer FM 21, and the ferromagnetic layer FM 23 is arranged in the lower part of the ferromagnetic layer FM 22.

[0026] Here, although the antiferromagnetic substance layer AF consists of IrMn(s) 20-30atom.% Containing Ir (iridium) and the direction of magnetization of the ferromagnetic layer FM 21 is fixed, since it is better to be hard to reverse the direction of magnetization to an external magnetic field, CoFe with big coercive force as a ferromagnetic layer FM 21 is used.

[0027] Moreover, as explained using the formula (1), since, as for tunnel magnetic-reluctance rate of change (TMRR), the one where the rate of spin polarization is larger becomes large, CoFe is used as an ingredient with the large rate of spin polarization.

[0028] On the other hand, although the same CoFe as the ferromagnetic layer FM 22 is used, the ferromagnetic layer FM 22 is more desirable [the ingredient with small coercive force] so that the direction of magnetization can be controlled by as small the external magnetic field as possible.

[0029] In the configuration of drawing 72 , it is the purpose which make easy to reverse the sense of magnetization of the ferromagnetic layer FM 22, and nickel80Fe20 (permalloy) with coercive force and the rate of

spin polarization small as a ferromagnetic layer FM 23 is used. Thereby, the ferromagnetic layer FM 22 can reverse the sense of magnetization by the small external magnetic field.

[0030] Drawing 73 shows the practical structure of the spin bulb mold ferromagnetism tunnel junction component shown in drawing 72, and drawing 74 shows the observation property of TMR in the structure concerned.

[0031] In drawing 73, an insulating layer TB is arranged in the layered product upper part of the antiferromagnetic substance layer AF superficially arranged on Substrate BD, and the ferromagnetic layer FM 21, and the ferromagnetic layer FM 23 is arranged in the upper part of an insulating layer TB. In such a configuration, the result of having impressed the external magnetic field and having measured change of magnetic reluctance MR is drawing 74.

[0032] In drawing 74, a field (one oersted = it converts by about 79 A/m) is shown on an axis of abscissa, and the tunnel reluctivity (TMRR) is shown on the axis of ordinate. Drawing 74 shows that TMRR has realized 36% of value, that a field required for reversal of the direction of magnetization is as low as about 30 (x79 A/m) extent, and that the symmetrical hysteresis is acquired to the direction of a field.

[0033] the direction of magnetization of two ferromagnetics of the magnetic tunnel junction component which constitutes a memory cell from <structure and the principle of operation> MRAM of MRAM -- the same -- or it becomes in the opposite direction -- as -- an external magnetic field -- controlling -- the direction of magnetization -- the same -- or the condition of an opposite direction is made to correspond to 0 or 1, and data are memorized.

[0034] The memorized data can be read by passing a predetermined current to a memory cell and sensing the both-ends electrical potential difference of tunnel magnetic reluctance. And since it is easy to sense so that the rate (TMRR) of a tunnel magnetic-reluctance value change is large, a ferromagnetic material with the big rate of spin polarization is advantageous for MRAM.

[0035] Moreover, the writing of data should just change the direction of magnetization of one ferromagnetic into wiring (a word line and bit line) using the field which passed the predetermined current and was generated.

[0036] Structure and actuation are explained as a conventional example of MRAM below <the structure of a MRAM cel> about MRAM currently exhibited with United States patent USP5,793,697.

[0037] Drawing 75 is the perspective view showing a MRAM cel array and a

cel. In drawing 75, bit lines 4, 5, and 6 are mutually arranged in parallel so that it may cross in the upper part of the word lines 1, 2, and 3 arranged in parallel mutually.

[0038] And the MRAM cel (only calling a cel henceforth) 9 is formed in each intersection across which it faces with a word line and a bit line. As drawing 75 is shown as an enlarged drawing, the MRAM cel 9 is the structure where the laminating of the silicon pn junction diode 7 and the magnetic tunnel junction component (MTJ) 8 was carried out on the word line.

[0039] Drawing 76 is the mimetic diagram showing the cross-section structure of the MRAM cel 9. In addition, in drawing 76, the MRAM cel 9 on a word line 3 is illustrated, a word line 3 is arranged on a silicon substrate 80, on it, the laminating of n⁺ silicon layer 10 and the p⁺ silicon layer 11 is carried out, and the pn junction diode 7 is formed. The pn junction diode 7 is covered with the insulator layer of silicon oxide 13 grade.

[0040] And the tungsten stud 12 is arranged in the upper part of the pn junction diode 7, and the pn junction diode 7 is electrically connected to MTJ8 through the tungsten stud 12. In addition, silicon oxide 13 is arranged so that the tungsten stud 12 may also be covered, and flattening of the front face of the tungsten stud 12 and silicon oxide 13 is carried out by CMP (Chemical Mechanical Polishing).

[0041] The template layer 15 (10nm of thickness) which MTJ8 is a laminated structure and consists of platinum (Pt) sequentially from the bottom, The initial ferromagnetic layer 16 (4nm of thickness) which consists of permalloys of nickel81Fe19, It consists of permalloys of the diamagnetic-material layer 18 (10nm of thickness) which consists of Mn54Fe(s)46, CoFe, or nickel81Fe19. It has the ferromagnetic layer 20 (8nm of thickness) to which the magnetization direction was fixed, the tunnel barrier layer 22 which consists of aluminum 203, the software ferromagnetic layer 24 which consists of multilayers of CoFe of 2nm of thickness, and nickel81Fe19 of 20nm of thickness, and the contact layer 25 which consists of Pt(s).

[0042] In addition, after depositing aluminum of 1-2nm of thickness, the tunnel barrier layer 22 is processed for 60 - 240 seconds with the power density of 25 W/cm² under the oxygen pressure force of 100mTorr(s) by the plasma oxidation method, and is formed.

[0043] moreover, small MTJ8 which forms one big MTJ all over the silicon oxide 13 on a substrate 80 in fact, carries out patterning of this by argon ion milling using a photoresist mask, and is shown in drawing 76 although not shown in drawing 76 — plurality — forming . Each MTJ8 is

covered with silicon oxide 26. Moreover, although not shown in drawing 76, the contact layer 25 is connected to a bit line.

[0044] The magnetic tunnel resistance of MTJ8 differs by the case where the direction of magnetization of the software ferromagnetic layer 24 is the same as the direction of magnetization of the ferromagnetic layer 20, and the case where the opposite direction is turned to, as explained previously. The direction of magnetization of the software ferromagnetic layer 24 can change a bit line and a word line by the field generated by the flowing current.

[0045] Moreover, the magnetic tunnel resistance of MTJ8 is greatly dependent also on the thickness of the tunnel barrier layer 22 and its barrier height, and the quality-of-the-material property of film, such as roughness of the interface under junction.

[0046] The software ferromagnetic layer 24 is formed so that it may have the easy direction of the magnetization called an easy axis (easy axis). The direction of the magnetization in alignment with this easy axis can turn into a 2-way, and can be made to correspond to two data, 0 and 1, of a memory cell, respectively.

[0047] On the other hand, the ferromagnetic layer 20 is formed so that the direction of magnetization may be the same as the easy axis of the software ferromagnetic layer 24, and may not be based on the operating state of MRAM and a direction may not be changed.

[0048] It is called the direction of fixed magnetization of the direction of this magnetization (expedient translation of unidirectional anisotropy direction). The easy axis of the software ferromagnetic layer 24 is defined combining the intrinsic anisotropy (intrinsic anisotropy) of MTJ8, a stress induction anisotropy (stress induced anisotropy), and the anisotropy resulting from a configuration.

[0049] Here, an intrinsic anisotropy means the anisotropy of the magnetization of physical-properties original which a ferromagnetic has, and a stress induction anisotropy means the anisotropy of the magnetization produced when stress is applied to a ferromagnetic.

[0050] Moreover, as shown in drawing 75, as for MTJ8, the plane view configuration is carrying out the shape of a rectangle of long side die-length L and shorter side die-length W. This is because the easy axis of the software ferromagnetic layer 24 is defined using the anisotropy resulting from the configuration of MTJ8.

[0051] Next, the setting approach of the direction of fixed magnetization of the ferromagnetic layer 20 is explained. The initial ferromagnetic layer 16 by which deposition formation is carried out on the template layer 15 turns up the field ({111} sides) where crystal

orientation turns into {111} bearings, and grows. Moreover, the diamagnetic-material layer 18 which consists of MnFe(s) is deposited on the initial ferromagnetic layer 16.

[0052] These magnetic layers are deposited under the field which was suitable in the same direction as the direction of the easy axis of the software ferromagnetic layer 24 deposited behind, and, thereby, the direction of fixed magnetization of the software ferromagnetic layer 24 is defined.

[0053] Moreover, in order that magnetic flux may close between the ferromagnetic layer 20 and the diamagnetic-material layer 18, in the range of the magnitude of the field generated according to the current which the direction of magnetization of the ferromagnetic layer 20 stops easily being able to change a direction rather than that of the software ferromagnetic layer 24 due to an external magnetic field, and flows a word line and a bit line, the direction of magnetization of the ferromagnetic layer 20 is fixed. Furthermore, since the plane view configuration of MTJ8 is made into the rectangle, the magnetization anisotropy resulting from the configuration of the ferromagnetic layer 20 occurs, and this is also contributing to the stability of the ferromagnetic layer 20 of the direction of magnetization.

[0054] The writing and read-out actuation of MRAM are explained below <the outline of the writing / read-out actuation of MRAM>. If a predetermined current is passed to the word line and bit line (the selection word line and the subdevice-bit line, and name) for performing address selection, a field will occur around each line and the joint field which each field combined will occur in the intersection (selection address) of a both line. If this field is impressed, the direction of magnetization of the software ferromagnetic layer 24 of MTJ8 currently installed in the intersection of a both line will rotate in the field of a layer, and the writing of data will be performed.

[0055] The magnitude of this field is designed so that it may become larger than the switching field (field which the direction of magnetization begins to reverse) of the software ferromagnetic layer 24, and it is mainly decided by the coercive force and the magnetization anisotropy of the software ferromagnetic layer 24.

[0056] Moreover, the field generated around a selection word line and a subdevice-bit line must be designed sufficiently small so that the direction of fixed magnetization of the ferromagnetic layer 20 may not be rotated. Because, it is for not changing the direction of magnetization of a half-selection (Half select) cel. In addition, a half-selection cel is a cel to which the current is flowing to either

the word line located up and down or a bit line.

[0057] Thus, in order to reduce the power consumption at the time of writing, the architecture of a memory cell array is designed so that a write-in current may not flow directly to MTJ8.

[0058] Moreover, the data written in the MRAM cel 9 are read by sensing the current which flows the pn junction diode 7 and MTJ8 perpendicularly. In addition, since tunnel current flows the inside of the MRAM cel 9 perpendicularly at the time of actuation, occupancy area of the MRAM cel 9 can be made small.

[0059] Resistance of the tunnel barrier layer 22 which consists of aluminum 203 of MTJ8 changes almost exponentially to thickness. That is, the current which flows the tunnel barrier will be reduced if thickness becomes thick, and only the current which tunnels junction flows perpendicularly to junction.

[0060] And the data of the MRAM cel 9 are read by carrying out the monitor of the electrical potential difference of the MRAM cel 9 generated when a sense current far smaller than a write-in current flows MTJ8 perpendicularly.

[0061] As explained previously, the tunnel probability of MTJ8 increases, so that many density of stateses of the same polar spin as the polarity of the spin in the software ferromagnetic layer 24 in ***** exist in the ferromagnetic layer 20 in a final state.

[0062] Therefore, in both layers, when the same, it is low, and the direction of [when the magnetic tunnel resistance of MTJ8 has the the same condition of the spin of the software ferromagnetic layer 24 and the ferromagnetic layer 20 (i.e., magnetization)] becomes high, when the direction of magnetization is opposite. So, if the monitor of the resistance of MTJ8 is carried out with a minute current, the data of the MRAM cel 9 can be read.

[0063] In addition, the field which a sense current generates can be disregarded and does not affect the condition of magnetization of the MRAM cel 9. Moreover, since wiring required for read-out/writing of the MRAM cel 9 is only the array of the bit line shown in drawing 75 , and a word line, it can constitute an efficient memory cell array.

[0064] Write-in actuation of MRAM is further explained using drawing 77 and drawing 78 below <write-in actuation>.

[0065] Drawing 77 is the representative circuit schematic of the memory cell array shown in drawing 75 , the both ends of word lines 1-3 are connected word line control circuit 53, respectively, and the both ends of bit lines 4-6 are connected to the bit line control circuit 51, respectively. In addition, since facilities are given to explanation of

drawing 78 , word lines WL1-WL3 and bit lines 4-6 may be shown for word lines 1-3 as bit lines BL4-BL6.

[0066] And the pn junction diode 7 expressed with MTJ8 expressed with a resistance notation and a diode notation is arranged in the intersection of word lines 1-3 and bit lines 4-6.

[0067] Here, an assumption of the case where a word line 1 and a bit line 4 are chosen chooses MRAM cel 9a located in both intersection.

[0068] Selected MRAM cel cel 9a is written in by the joint field generated according to the current IB which flows a bit line 4, and the current IW which flows a word line 1.

[0069] The field independently generated in a cel field has one smaller than a field required to change the direction of magnetization of software ferromagnetic layer 24 cel of MTJ8 of the currents IB and IW.

[0070] So, writing does not have a line crack in the MRAM cels 9b-9e (cel to which either Current IB or IW flows to a word line and a bit line) which are half-selection cels.

[0071] However, if the field by Currents IB and IW is combined, it will become sufficient magnitude to change the direction of magnetization of the software ferromagnetic layer 24 of selected memory cell 9a.

[0072] In addition, at least one side of Currents IB and IW is designed so that it may flow bidirectionally, so that the magnetization direction of the software ferromagnetic layer 24 of cel 9a may be made in the two opposite different magnetization directions. In addition, in drawing 77 , since the bit line control circuit 51 and the word line control circuit 53 consist of 2 pairs, both currents IB and IW can change the sense of a current.

[0073] Drawing 78 shows the electrical potential difference of bit lines 4-6 (bit lines BL4-BL6) and word lines 1-3 (word lines WL1-WL3), and the timing chart of a current.

[0074] As shown in drawing 78 , the electrical potential difference of the bit lines BL4-BL6 at the time of writing is set as the convenient electrical potential difference Vb, although a current is passed bidirectionally. Moreover, the electrical potential difference of word lines WL1-WL3 is set as the forward electrical potential difference Vw more greatly than an electrical potential difference Vb.

[0075] At the time of standby, these electrical potential differences are set up so that a reverse bias may start the pn junction diode 7 of all the cels 9. Therefore, Currents IB and IW do not flow the inside of a memory cell at the time of standby.

[0076] <Read-out actuation>, next read-out actuation of MRAM are further explained using drawing 77 and drawing 78 . As shown in drawing 78 , the

electrical potential difference of a word line WL1 is lowered to Vb from Vw, the electrical potential difference of a bit line BL4 is raised from Vb to Vw, and forward bias is impressed to the pn junction diode 7 of selected cel 9a.

[0077] During read-out, the non-subdevice-bit lines 5 and 6 are still the standby electrical potential differences Vb, and the non-choosing word line 2 and WL 3 is still the standby electrical potential difference Vw.

[0078] In addition, it is that which does not have a voltage drop from a word line to a bit line in the half-selection cels 9b-9e (that is, 0V are impressed to the pn junction diode 7), and a current does not flow the inside of a cel.

[0079] The magnitude of the sense current 30 (refer to drawing 77) which flows from a bit line BL4 to a word line WL1 through cel 9a by the magnetic tunnel resistance of selection cel 9a is determined. In the sense circuit which constitutes a part of bit line control circuit 51, the average of two current values predicted corresponding to two conditions of a cel is made into a reference current, and it compares with a sense current. And the difference of both currents is amplified and the data currently stored in selection cel 9a are read.

[0080] In addition, as shown in the wave of the sense current 30 of drawing 77, the sense current 30 presents two kinds of current wave forms equivalent to two magnetization conditions of MTJ8.

[0081] After data read-out, although the electrical potential difference of a bit line BL4 and a word line WL1 is returned to each standby value, as for the magnetization condition of memory cell 9a, after read-out actuation is maintained.

[0082]

[Problem(s) to be Solved by the Invention] As explained above, at the time of the writing to a MRAM cel, a current is passed to a bit line and a word line, and a field is generated. And since it was necessary to give a bigger field than the switching field of the software ferromagnetic layer which constitutes a cel to the memory cell of the selection address, the comparatively big current needed to be passed. Therefore, there was a trouble that the power consumption at the time of writing became large.

[0083] It was made in order that this invention might cancel the above troubles, and it sets it as the 1st purpose to offer MRAM which reduced the power consumption at the time of writing.

[0084] Moreover, in the conventional MRAM cel array, it bundled up in the memory-block unit which consists of at least one memory cell array,

and there was elimination or a trouble that writing in took time amount, about data.

[0085] This invention sets it as the 2nd purpose to offer MRAM which reduced the time amount spent on elimination and writing.

[0086]

[Means for Solving the Problem] The magnetic storage according to claim 1 concerning this invention Two or more bit line and two or more word lines which cross by non-contact and constitute a matrix, It is arranged by the intersection of said two or more bit lines and said two or more word lines, respectively. It is the magnetic storage equipped with two or more memory cells containing at least one magnetic tunnel junction. Said two or more memory cells It is arranged, respectively between [of said two or more bit lines] 1 and 1 of said two or more word lines. Said at least one magnetic tunnel junction It has the software ferromagnetic layer which can change the direction of magnetization. Said at least one magnetic tunnel junction The easy axis which is the easy direction of magnetization of said software ferromagnetic layer is arranged so that it may have the include angle of 40 - 50 degrees to the extension direction of said two or more bit lines and two or more of said word lines.

[0087] The plane view configuration is constituted by the rectangle so that the magnetic storage according to claim 2 concerning this invention may become longer than the side where said easy axis and the side where said magnetic tunnel junction is parallel to said easy axis cross at right angles.

[0088] The magnetic storage according to claim 3 concerning this invention Two or more bit line and two or more word lines which cross by non-contact and constitute a matrix, It is arranged by the intersection of said two or more bit lines and said two or more word lines, respectively. It is the magnetic storage equipped with two or more memory cells containing at least one magnetic tunnel junction. It connects with the 1st edge of two or more of said bit lines, respectively. The electric connection between said 1st edge and the 1st power source [2nd] of power-source ***** Two or more 1st switchable change means, It connected with the 2nd edge of two or more of said bit lines, respectively, and has two or more 2nd switchable change means for the electric connection between said 2nd edge and said 1st power source [2nd] of the power-source ***** above.

[0089] The magnetic storage according to claim 4 concerning this invention Each 1st main electrode is connected to the 1st edge of two or more of said bit lines for said 1st change means. Each 2nd main

electrode has the 1st and 2nd MOS transistors of the same conductivity type connected to said the 1st power source and said 2nd power source. Said 2nd change means Each 1st main electrode is connected to the 2nd edge of two or more of said bit lines, and each 2nd main electrode has 4 MOS transistors of the 3rd and 4th of the same conductivity type connected to said the 1st power source and said 2nd power source.

[0090] The magnetic storage according to claim 5 concerning this invention Each 1st main electrode is connected to the 1st edge of two or more of said bit lines for said 1st change means. Each 2nd main electrode has the 1st and 2nd MOS transistors of differing of the conductivity type connected to said the 1st power source and said 2nd power source. Said 2nd change means Each 1st main electrode is connected to the 2nd edge of two or more of said bit lines, and each 2nd main electrode has the 3rd and 4th MOS transistors from which the conductivity type connected to said the 1st power source and said 2nd power source differs.

[0091] The magnetic storage according to claim 6 concerning this invention Said 1st and 2nd MOS transistors each Said 2nd MOS transistor connected between the main electrodes of the above 1st, and the 5th MOS transistor of the same conductivity type, Said 3rd and 4th MOS transistors each Said 4th MOS transistor connected between the main electrodes of the above 1st, and the 6th MOS transistor of the same conductivity type, It prepares for a pan and the control electrode of said 5th and 6th MOS transistors is connected to the 3rd power source which gives the predetermined electrical potential difference which will always be in an ON state.

[0092] The magnetic storage according to claim 7 concerning this invention Two or more bit line and two or more word lines which cross by non-contact and constitute a matrix, and it being arranged by the intersection of said two or more bit lines and said two or more word lines, respectively, and with two or more memory cells containing at least one magnetic tunnel junction, and two or more memory cell arrays come out of and constituted Had two or more main word lines crossed to said two or more memory cell arrays, and two or more memory cell array selection lines arranged corresponding to each of two or more of said memory cell arrays. It has the memory cell array group of at least 1. Said two or more word lines It connects with the output of the 1st combination logic gate established in the intersection of said two or more main word lines and two or more of said memory cell array selection lines, respectively, respectively. The input of said 1st combination logic gate is connected to 1 of said two or more main word lines in a

crossover condition, and 1 of said two or more memory cell array selection lines.

[0093] The magnetic storage according to claim 8 concerning this invention Two or more global word lines which have two or more said memory cell array groups of at least 1, and are crossed to said two or more memory cell array groups, It has further two or more memory cell array group-selection lines arranged corresponding to each of two or more of said memory cell array groups. Said two or more main word lines It connects with the output of the 2nd combination logic gate established in the intersection of said two or more global word lines and two or more of said memory cell array group-selection lines, respectively, respectively. The input of said 2nd combination logic gate is connected to 1 of said two or more global word lines in a crossover condition, and 1 of said two or more memory cell array group-selection lines.

[0094] The magnetic storage according to claim 9 concerning this invention Two or more bit line and two or more word lines which cross by non-contact and constitute a matrix, Two or more memory cell arrays which consist of two or more memory cells which are arranged by the intersection of said two or more bit lines and said two or more word lines, respectively, and contain at least one magnetic tunnel junction, Had two or more Maine bit lines crossed to said two or more memory cell arrays, and two or more memory cell array selection lines arranged corresponding to each of two or more of said memory cell arrays. It has the memory cell array group of at least 1. Said two or more bit lines It connects with the output of the 1st combination logic gate established in the intersection of said two or more Maine bit lines and two or more of said memory cell array selection lines, respectively, respectively. The input of said 1st combination logic gate is connected to 1 of said two or more Maine bit lines in a crossover condition, and 1 of said two or more memory cell array selection lines.

[0095] The magnetic storage according to claim 10 concerning this invention Two or more global bit lines which have two or more said memory cell array groups of at least 1, and are crossed to said two or more memory cell array groups, It has further two or more memory cell array group-selection lines arranged corresponding to each of two or more of said memory cell array groups. Said two or more Maine bit lines It connects with the output of the 2nd combination logic gate established in the intersection of said two or more global bit lines and two or more of said memory cell array group-selection lines, respectively, respectively. The input of said 2nd combination logic gate

is connected to 1 of said two or more global bit lines in a crossover condition, and 1 of said two or more memory cell array group-selection lines.

[0096] The magnetic storage according to claim 11 concerning this invention Two or more bit line and two or more word lines which cross by non-contact and constitute a matrix, And the memory cell array which consists of two or more memory cells which are arranged by the intersection of said two or more bit lines and said two or more word lines, respectively, and contain at least one magnetic tunnel junction, It has an inductor, said at least one magnetic tunnel junction has the software ferromagnetic layer which can change the direction of magnetization, and said inductor generates a field in the direction in alignment with the easy axis which is the easy direction of magnetization of said software ferromagnetic layer.

[0097] Said at least one magnetic tunnel junction is arranged so that, as for the magnetic storage according to claim 12 concerning this invention, said easy axis may agree in the extension direction of said two or more bit lines or two or more of said word lines, and it is the coiled form inductor arranged so that said inductors might surround said memory cell array along the extension direction of said two or more bit lines or said two or more word lines which agree with the direction of said easy axis.

[0098] The magnetic storage according to claim 13 concerning this invention Two or more bit line and two or more word lines which cross by non-contact and constitute a matrix, And at least one memory cell array which consists of two or more memory cells which are arranged by the intersection of said two or more bit lines and said two or more word lines, respectively, and contain at least one magnetic tunnel junction, It is prepared in the outside of said two or more bit lines and said two or more word lines of said at least one memory cell array, respectively. It has at least one wrap plate-like flash plate bit line and at least one flash plate word line for the formation field of said two or more bit lines and two or more of said word lines.

[0099] The magnetic storage according to claim 14 concerning this invention has two or more said at least one memory cell arrays, said two or more memory cell arrays are arranged in the shape of a matrix, and in accordance with the array of two or more of said memory cell arrays, two or more arrangement of said at least one flash plate bit line and at least one flash plate word line is carried out, respectively so that a matrix may be constituted.

[0100] The magnetic storage according to claim 15 concerning this

invention Two or more bit line and two or more word lines which cross by non-contact and constitute a matrix, And the memory cell array which consists of two or more memory cells which are arranged by the intersection of said two or more bit lines and said two or more word lines, respectively, and contain at least one magnetic tunnel junction, Even if there are few said two or more bit lines and two or more word lines, it is arranged in two edges of the method of one, respectively. It has at least one inductor which saves the current of the selected bit line and a word line which flows to the method of one at least by LC resonance, and at least one capacitor.

[0101] The magnetic storage according to claim 16 concerning this invention It has two or more said at least one inductors and said at least one capacitors. Said two or more bit lines Two become a pair and two or more bit line pairs are constituted. Said two or more inductors Corresponding to said two or more each of a bit line pair, two or more 1st inductors arranged so that it might connect electrically between bit lines are included. Said two or more capacitors In the edge opposite to the arrangement side of two or more of said inductors, two or more 1st capacitors electrically connected corresponding to each of two or more of said bit lines are included.

[0102] The magnetic storage according to claim 17 concerning this invention Two become a pair and said two or more word lines constitute two or more Word line pairs. Said two or more inductors Corresponding to each of two or more of said Word line pairs, two or more 2nd inductors arranged so that it might connect electrically between word lines are included further. Said two or more capacitors In the edge opposite to the arrangement side of two or more of said inductors, two or more 2nd capacitors electrically connected corresponding to each of two or more of said word lines are included further.

[0103] The magnetic storage according to claim 18 concerning this invention At least one semiconductor chip and the screen which consists of conductors and contains said at least one semiconductor chip, The package which consists of resin and contains said screen, and the base substrate which closes and seals opening of said package, With the bump for signal transmissions who is arranged in the outside principal plane of said base substrate, and performs the signal transmission of said at least one semiconductor chip and exterior It is arranged so that said bump for signal transmissions may be surrounded, and it has the bump for electric shielding electrically connected to said screen. Said at least one semiconductor chip The magnetic storage chip equipped with the memory cell array constituted by having two or more memory cells

containing at least one magnetic tunnel junction is included.

[0104] The magnetic storage according to claim 19 concerning this invention is further equipped with the 1st stress relaxation film arranged in the inside and the outside of the opening edge of said screen, and the 2nd stress relaxation film arranged by the wall of said screen.

[0105] Including further the circuit chip in which, as for the magnetic storage according to claim 20 concerning this invention, said at least one semiconductor chip includes the circumference circuit of said memory cell array, said account chip of the MAG and said circuit chip are piled up up and down, and are contained by said electric shielding inside of the body.

[0106] The magnetic storage according to claim 21 concerning this invention has the software ferromagnetic layer in which at least one magnetic tunnel junction can change the direction of magnetization, and said screen consists of ferromagnetics which have said software ferromagnetic layer and EQC, and bigger permeability than it.

[0107] As for the magnetic storage according to claim 22 concerning this invention, said screen consists of the antiferromagnetic substance.

[0108] As for the magnetic storage according to claim 23 concerning this invention, said screen consists of multilayers of a ferromagnetic and the antiferromagnetic substance.

[0109] The magnetic-substance substrate according to claim 24 concerning this invention has at least the multilayers which form at least one magnetic tunnel junction arranged throughout the principal plane.

[0110] The magnetic-substance substrate according to claim 25 concerning this invention contains the diamagnetic-material layer in which said multilayers were arranged in order as said at least one magnetic tunnel junction, the ferromagnetic layer, the tunnel barrier layer which consists of insulators, and the software ferromagnetic layer.

[0111] The two-layer film of the 1st conductivity-type impurity layer and the 2nd conductivity-type impurity layer from which said multilayers are arranged by the lower part of said at least one magnetic tunnel junction, and the magnetic-substance substrate according to claim 26 concerning this invention constitutes pn junction is included further.

[0112] The magnetic-substance substrate according to claim 27 concerning this invention has said multilayers on the SOI substrate equipped with the substrate section used as a foundation, and the SOI layer which was arranged on this substrate section and which embedded and was arranged on the oxide film and this embedding oxide film.

[0113]

[Embodiment of the Invention] MRAM concerning the gestalt 1 of operation of <gestalt 1 of A. operation> <description of gestalt of this operation> this invention is characterized by the easy axis of the software ferromagnetic layer which constitutes a MRAM cel not being parallel to a bit line and a word line, and arranging a MRAM cel so that a bit line and a word line, and the include angle of 40 - 50 degrees may more specifically be made.

[0114] <an A-1. equipment configuration <the configuration of an A-1-1. MRAM cel>> -- the typical configuration of a MRAM cel is first explained using drawing 1. The MRAM cel MC shown in drawing 1 has the pn junction diode 7 with which the laminating of n⁺ silicon layer 10 and the p⁺ silicon layer 11 is carried out, and they are constituted.

[0115] And the tungsten stud 12 is arranged in the upper part of the pn junction diode 7, and the pn junction diode 7 is electrically connected to the magnetic tunnel junction (Magnetic Tunnel Junction:MTJ) 8 through the tungsten stud 12.

[0116] The template layer 15 (10nm of thickness) which MTJ8 is a laminated structure and consists of platinum (Pt) sequentially from the bottom, The initial ferromagnetic layer 16 (4nm of thickness) which consists of permalloys of nickel81Fe19, It consists of permalloys of the diamagnetic-material layer 18 (10nm of thickness) which consists of Mn54Fe(s)46, CoFe, or nickel81Fe19. It has the ferromagnetic layer 20 (8nm of thickness) to which the magnetization direction was fixed, the tunnel barrier layer 22 which consists of aluminum 203, the software ferromagnetic layer 24 which consists of multilayers of CoFe of 2nm of thickness, and nickel81Fe19 of 20nm of thickness, and the contact layer 25 which consists of Pt(s).

[0117] The plane view configuration of the MRAM cel MC is a rectangle, and they are set up so that a direction parallel to the long side may serve as an easy axis in the direction of the spin of the electron of the software ferromagnetic layer 24. [including MTJ8] In addition, a direction parallel to a shorter side serves as a hard axis (hard axis) which is the difficult direction of magnetization.

[0118] The flat-surface configuration of the conventional MRAM cel array is shown in <examination with detailed MRAM cel array of the A-1-2. former> drawing 2. In addition, the MRAM cel MC 1 is shown as a perspective view for convenience.

[0119] As shown in drawing 2, two or more bit lines BL1 arranged in parallel mutually are arranged so that it may cross in the upper part of two or more word lines WL1 arranged in parallel mutually.

[0120] And the MRAM cel (only calling a cel henceforth) MC 1 is formed

in each intersection across which it faces with a word line and a bit line. In addition, the arrow head shown typically shows the direction of the spin of the software ferromagnetic layer 24 of the MRAM cel MC 1 to each MRAM cel MC 1, and the spin direction of all the MRAM cels MC 1 has become rightward in the state of the standby shown in drawing 2. In addition, although [the configuration of the MRAM cel MC 1] it is the same as that of the memory cell MC shown in drawing 1, it is not necessarily limited to this configuration.

[0121] Drawing 3 is the top view showing the condition of writing typically in the conventional MRAM cel array. In addition, the sign of MC1a, MC1b, and MC1c may be attached and distinguished for convenience in the MRAM cel MC 1 below.

[0122] If a predetermined current is passed to the word line and bit line (the selection word line and the subdevice-bit line, and name) for performing address selection at the time of writing, around a current, a field will occur with the principle of BIO savart (Biot-Savart).

[0123] Here, the field which generates the field generated around a bit line around Hx and a word line is set to Hy. And a selection word line and a subdevice-bit line are written as WL1a and BL1a for convenience, respectively.

[0124] In addition, the direction where the current in drawing 3 flows is the right from the left in selection word line WL1a upwards in subdevice-bit line BL1b from the bottom.

[0125] If a predetermined current is passed to selection word line WL1a and subdevice-bit line BL1b, in the intersection (selection address) of a both line, Fields Hx and Hy will join together. If this joint field is impressed, the direction of magnetization of the software ferromagnetic layer 24 of MRAM cel MC1a currently installed in the intersection of selection word line WL1a and subdevice-bit line BL1b will rotate in the field of a layer, and the writing of data will be performed. In drawing 3, the spin direction of MRAM cel MC1a rotates 90 degrees or more, and is shown.

[0126] And by the magnetization anisotropy by the cel configuration, since spin rotates to the direction of an easy axis, finally spin will be reversed (180-degree rotation).

[0127] Also in two or more MRAM cel MC1b shown in the MRAM cel which is half-selection (half-select) 9 cel to which the current is flowing to either the word line located up and down or a bit line, i.e., drawing 3, on the other hand, although the spin of the software ferromagnetic layer 24 rotates, each current is set to reversal so that it may not result.

[0128] In addition, since the field Hx of two or more half-selection cel

MC1c depended on subdevice-bit line BL1a generated around subdevice-bit line BL1a is the same as that of the direction of an easy axis, the big rotation like [it displays on drawing 3] cannot be caused only by Field Hx.

[0129] The relation of the three above-mentioned field in the case of forming the field Hk required for making drawing 4 reverse spin by the joint field with Fields Hx and Hy is shown. In drawing 4 , Field Hk is shown on an axis of abscissa, and Field Hy is shown on the axis of ordinate. Moreover, the relation concerned is expressed with a formula below.

[0130]

[Equation 3]

$$\boxed{\times}^-$$

[0131] The curve in drawing 4 is called an asteroid curve. And when Field Hk is expressed with the following formula (4), the spin of the software ferromagnetic layer 24 is reversed.

[0132]

[Equation 4]

$$\boxed{\times}^-$$

[0133] Moreover, when Field Hk is expressed with the following formula (5), the direction of the spin of the software ferromagnetic layer 24 is maintained.

[0134]

[Equation 5]

$$\boxed{\times}^-$$

[0135] The flux density B generated around the stationary current I is expressed with a formula (6) below from Biot-Savart law.

[0136]

[Equation 6]

$$\boxed{\times}^-$$

[0137] Here, μ is permeability and R is the distance from Current I. Moreover, Field H and flux density B have the relation expressed with a formula (7) below.

[0138]

[Equation 7]

$$\boxed{\times}^-$$

[0139] Therefore, the following formulas (8) are realized.

[0140]

[Equation 8]

$$I_x =$$

[0141] The above-mentioned formula (8) shows that Field H is proportional to the stationary current I. Therefore, in order to lower the power consumption at the time of writing, it is desirable to lower the field H_k required to reverse spin, i.e., to make H_x+H_y as small as possible.

[0142] Artificers reached the configuration of the MRAM cel array which can reduce Field H_k based on examination of the conventional technique mentioned above.

[0143] The flat-surface configuration of the MRAM cel array MA 10 which starts the gestalt 1 of operation of this invention at the configuration of an A-1-3.MRAM cel array and drawing 5 <of operation> is shown. As shown in drawing 5, two or more bit lines BL1 arranged in parallel mutually are arranged so that it may cross in the upper part of two or more word lines WL1 arranged in parallel mutually.

[0144] And the MRAM cel MC 2 is formed in each intersection across which it faces with a word line and a bit line. In addition, although [the configuration of the MRAM cel MC 2] it is the same as that of the memory cell MC shown in drawing 1, it is not necessarily limited to this configuration.

[0145] As shown in drawing 5, each MRAM cel MC 3 is arranged so that an easy axis may incline 45 degrees to a bit line and a word line. In addition, in this example, since it leans to the diagonal right 45 degrees and is arranged in it to the word line WL1, in the state of the standby shown in drawing 5, the spin direction of all the MRAM cels MC 2 has diagonally right sense.

[0146] Drawing 6 is the top view showing typically the condition of the writing of the MRAM cel array MA 10. In addition, the sign of MC2a, MC2b, and MC2c may be attached and distinguished for convenience in the MRAM cel MC 2 below.

[0147] If a predetermined current is passed to selection word line WL1a and subdevice-bit line BL1b, in the intersection (selection address) of a both line, Fields H_x and H_y will join together. In addition, the direction where the current in drawing 6 flows is the right from the left in selection word line WL1a upwards in subdevice-bit line BL1b from the bottom.

[0148] If this joint field is impressed, the direction of magnetization of the software ferromagnetic layer 24 of MRAM cel MC1a currently installed in the intersection of selection word line WL1a and subdevice-bit line BL1b will rotate in the field of a layer, and the writing of data will be performed. In drawing 6 , the spin direction of MRAM cel MC2a rotates 90 degrees or more, and is shown.

[0149] And by the magnetization anisotropy by the cel configuration, since spin rotates to the direction of an easy axis, finally spin will be reversed (180-degree rotation).

[0150] Also in two or more MRAM cel MC2bs shown in the MRAM cel which is a half-selection cel to which the current is flowing to either the word line located up and down or a bit line, i.e., drawing 6 , on the other hand, and MC2c, although the spin of the software ferromagnetic layer 24 rotates, each current is set to reversal so that it may not result.

[0151] Although the spin of the software ferromagnetic layer 24 rotates two or more half-selection cel MC2c depended on subdevice-bit line BL1a here so that it may display on drawing 6 since the field Hx generated around subdevice-bit line BL1a crosses at the include angle of about 45 degrees to the direction of an easy axis Spin can also be reversed by adjusting the magnitude of each current, and it cannot be made reversed, either. This is the same also about two or more half-selection cel MC2bs depended on selection word line WL1a.

[0152] The flat-surface configuration of the MRAM cel array MA 20 is shown in <example of configuration of A-1-4. and others> drawing 7 as an example of a configuration of others of the gestalt 1 of operation. As shown in drawing 7 , two or more bit lines BL1 arranged in parallel mutually are arranged so that it may cross in the upper part of two or more word lines WL1 arranged in parallel mutually.

[0153] And the MRAM cel MC 3 is formed in each intersection across which it faces with a word line and a bit line. In addition, although [the configuration of the MRAM cel MC 3] it is the same as that of the memory cell MC shown in drawing 1 , it is not necessarily limited to this configuration.

[0154] As shown in drawing 7 , each MRAM cel MC 3 is arranged so that an easy axis may incline 45 degrees to a bit line and a word line. In addition, in this example, since it leans to the diagonal below 45 degrees and is arranged in it to the word line WL1, in the state of the standby shown in drawing 7 , the spin direction of all the MRAM cels MC 3 has diagonally right sense.

[0155] Drawing 8 is the top view showing typically the condition of the writing of the MRAM cel array MA 20. In addition, the sign of MC3a, MC3b,

and MC3c may be attached and distinguished for convenience in the MRAM cel MC 3 below.

[0156] If a predetermined current is passed to selection word line WL1a and subdevice-bit line BL1a, in the intersection (selection address) of a both line, Fields Hx and Hy will join together.

[0157] In addition, the direction where the current in drawing 8 flows is the right from the left in selection word line WL1a upwards in subdevice-bit line BL1a from the bottom.

[0158] If this joint field is impressed, the direction of magnetization of the software ferromagnetic layer 24 of MRAM cel MC3a currently installed in the intersection of selection word line WL1a and subdevice-bit line BL1a will rotate in the field of a layer, and the writing of data will be performed. In drawing 8, the spin direction of MRAM cel MC3a rotates 90 degrees or more, and is shown.

[0159] And by the magnetization anisotropy by the cel configuration, since spin rotates to the direction of an easy axis, finally spin will be reversed (180-degree rotation).

[0160] On the other hand, although the spin of the software ferromagnetic layer 24 rotates also in two or more MRAM cel MC2bs and MC2c which are the half-selection cel shown in drawing 8, each current is set to reversal so that it may not result.

[0161] Optimization of the arrangement direction of a MRAM cel is explained using <optimization of the arrangement direction of an A-1-5. MRAM cel> next drawing 9 - drawing 25.

[0162] First, the case where the direction of spin is reversed by the joint field Hk is explained.

[0163] The relation of the direction of the spin of MRAM cel MC1a of the selection address at the time of the writing in the conventional MRAM cel array shown in drawing 9 and drawing 10 at drawing 2 and the direction of the joint field Hk which reverses it is shown typically.

[0164] In drawing 9 and drawing 10, if the case where the magnitude of Fields Hx and Hy is the same is assumed, spin and the include angle which the joint field Hk makes will turn into $\theta_1=135$ degree.

[0165] Moreover, the relation of the direction of the spin of MRAM cel MC2a of the selection address at the time of the writing in the MRAM cel array MA 10 shown in drawing 11 and drawing 12 at drawing 5 and the direction of the joint field Hk which reverses it is shown typically.

[0166] In drawing 11 and drawing 12, if the case where the magnitude of Fields Hx and Hy is the same is assumed, spin and the include angle which the joint field Hk makes will turn into $\theta_2=90$ degree.

[0167] Moreover, the relation of the direction of the spin of MRAM cel

MC3a of the selection address at the time of the writing in the MRAM cel array MA 20 shown in drawing 13 and drawing 14 at drawing 7 and the direction of the joint field Hk which reverses it is shown typically.

[0168] In drawing 13 and drawing 14 , if the case where the magnitude of Fields Hx and Hy is the same is assumed, spin and the include angle which the joint field Hk makes will turn into $\theta_3=180$ degree.

[0169] Next, the relation between the joint field Hk and Fields Hx and Hy is shown in drawing 15 . although this relation is the same as what was shown as an asteroid curve in drawing 4 — $|H_x|+|H_y|=$ — under the conditions, i.e., the condition of a write-in fixed current, of being fixed, if the fields Hx and Hy on an asteroid curve are searched for, $H_x=H_y=H_k / \text{relation of } 2\sqrt{2}$ will be obtained.

[0170] If based on this, in the conventional MRAM cel array shown in drawing 9 and drawing 10 , spin will be rotated about 135 degrees by the joint field Hk, and 180 degrees will rotate spin from there using the magnetization anisotropy by the configuration.

[0171] On the other hand, in the MRAM cel array MA 10 shown in drawing 11 and drawing 12 , spin rotates about 90 degrees in the magnitude of the same joint field. Therefore, even if it uses the magnetization anisotropy by the configuration, it is [whether spin is reversed and] in a critical condition. So, when taking the configuration of the MRAM cel array MA 10, it is desirable to enlarge Field Hx a little rather than Field Hy, and to make the angle of rotation θ_2 of spin into 90 degrees or more.

[0172] In addition, in the MRAM cel array MA 20 shown in drawing 13 and drawing 14 , since spin rotates about 180 degrees in the magnitude of the same joint field, spin can be reversed certainly.

[0173] Next, even if the joint field Hk is added, the relation of the direction of spin and the direction of the joint field Hk which maintains it is typically shown in drawing 16 - drawing 21 about the case where the direction of spin is maintained. In addition, since drawing 16 - drawing 21 support drawing 9 - drawing 14 , the overlapping explanation is omitted.

[0174] In drawing 16 and drawing 17 , if the case where the magnitude of Fields Hx and Hy is the same is assumed, spin and the include angle which the joint field Hk makes will turn into $\theta_1=45$ degree.

[0175] In drawing 18 and drawing 19 , if the case where the magnitude of Fields Hx and Hy is the same is assumed, spin and the include angle which the joint field Hk makes will turn into $\theta_2=0$ degree.

[0176] In drawing 20 and drawing 21 , if the case where the magnitude of Fields Hx and Hy is the same is assumed, spin and the include angle

which the joint field H_k makes will turn into $\theta_{13}=90$ degree.

[0177] Therefore, in the conventional MRAM cel array shown in drawing 16, in the MRAM cel array MA 10 which the direction of spin is mostly maintained and is shown in drawing 18, although writing is performed so that it may be maintained completely, in the MRAM cel array MA 20 shown in drawing 20, the direction of spin is [whether spin is reversed and] in a critical condition, and is not desirable.

[0178] It is desirable to take into consideration the sense of the current which adopts the configuration of the MRAM cel array MA 20 shown in drawing 13 and drawing 20, and is passed to a bit line and a word line from the above consideration. The configuration concerned is explained using drawing 22 - drawing 25.

[0179] In the configuration of the MRAM cel array MA 20, as for drawing 22 and drawing 23, the direction where a current flows like drawing 8 shows typically the relation of the direction of the joint field H_k which reverses the direction of the spin of MRAM cel MC3a of the selection address at the time of the writing in the case of being the right from the left in selection word line WL1a, and it from the bottom upwards to in subdevice-bit line BL1a.

[0180] In drawing 22 and drawing 23, if the case where the magnitude of Fields H_x and H_y is the same is assumed, spin and the include angle which the joint field H_k makes turn into $\theta_{14}=180$ degree, and it can be said that it is the configuration that it was suitable when data were written in by reversing the direction of spin.

[0181] Moreover, drawing 24 and drawing 25 show typically the relation of the direction of the spin of MRAM cel MC3a of the selection address at the time of writing when the direction where a current flows has turned on the left from the right in selection word line WL1a down in subdevice-bit line BL1a from the top, and the direction of the joint field H_k which maintains it in the configuration of the MRAM cel array MA 20.

[0182] In addition, compared with the case of drawing 22, the sense of the current passed to a bit line and a word line is changed.

[0183] In drawing 24 and drawing 25, if the case where the magnitude of Fields H_x and H_y is the same is assumed, spin and the include angle which the joint field H_k makes turn into $\theta_{15}=0$ degree, and it can be said that it is the configuration that it was suitable when data were written in by maintaining the direction of spin.

[0184] Moreover, also in which configuration of drawing 22 and drawing 24, since the direction and easy axis of a joint field are in agreement, it has further the advantage that the error of writing becomes smaller

than before.

[0185] As explained beyond the <A-2. operation effectiveness>, according to MRAM of the gestalt 1 of operation concerning this invention It is leaning and arranging the easy axis of the software ferromagnetic layer 24 which constitutes a MRAM cel so that the include angle of 45 degrees may be aslant made desirably 40 to 50 degrees to a bit line and a word line. With few write-in currents, the direction of the spin of the MRAM cel in the selection address can be reversed certainly, and the power consumption at the time of writing can be reduced.

[0186] Moreover, by changing the sense of the current passed to a bit line and a word line by the case where the direction of the spin of the MRAM cel in the selection address is reversed, and the case where the direction of spin is maintained, the direction and easy axis of a joint field are made in agreement, and the error of writing can also be reduced.

[0187] MRAM concerning the gestalt 2 of operation of <gestalt 2 of B. operation> <description of gestalt of this operation> this invention The both ends of the bit line of a MRAM cel array and a word line are equipped with read-out / write-in control circuit of a pair. As a configuration of the circuit concerned The 1st MOS transistor which connects a bit line and supply voltage VDD, It has the function to write in both directions of a bit line at the time of writing, and to pour an electric wire, and the function which outputs the electrical potential difference which originates in a sense current at the time of read-out to a sense amplifier including the 2nd transistor which connects a bit line and the touch-down electrical potential difference VSS.

[0188] <B-1. equipment configuration <whole B-1-1.MRAM configuration>> drawing 26 is the block diagram showing the configuration of MRAM concerning the gestalt 2 of operation of this invention, and shows the MRAM cel array MCA and its circumference circuit.

[0189] drawing 26 -- setting -- the train address buffer (column address buffer) CAB -- a train address signal -- receiving -- a signal -- reversal -- or it amplifies and outputs to the train decoder CD.

[0190] The train decoder CD decodes a train address signal, and outputs the decoded signal to Multiplexer MUX.

[0191] Multiplexer MUX chooses a bit line according to the decoded train address signal. A signal is outputted to coincidence in the 1st control circuit CRW1 of train read-out / writing of a bit line connected to an edge on the other hand, and it reads from the 1st control circuit CRW1 of train read-out / writing, or an electrical potential difference and a current are impressed to a subdevice-bit line according to writing.

[0192] the line address buffer (row address buffer) RAB — a line address signal — receiving — a signal — reversal — or it amplifies and outputs to the line decoder RD.

[0193] The line decoder RD decodes a line address signal, and chooses a word line according to the decoded line address signal. A signal is outputted to coincidence in the 1st control circuit RRW1 of line read-out / writing of a bit line connected to an edge on the other hand, and it reads from the 1st control circuit RRW1 of line read-out / writing, or an electrical potential difference and a current are impressed to a selection word line according to writing.

[0194] Moreover, as for the data read from the MRAM cel array MCA, or the data written in the MRAM cel array MCA, I/O of data is performed between the exteriors through an input output buffer IOB.

[0195] In addition, the 2nd control circuit CRW2 of train read-out / writing is connected to the another side edge of a bit line, and the 2nd control circuit RRW2 of line read-out / writing is connected to the another side edge of a word line.

[0196] <Detail configuration of B-1-2.MRAM> drawing 27 shows the circuit diagram about the configuration except Multiplexer MUX, the train decoder CD, the line decoder RD, and an input output buffer IOB among MRAM(s) shown in drawing 26 . Moreover, about the train address buffer CAB and the line address buffer RAB, illustration is omitted for convenience. In addition, MRAM of a configuration of being shown in drawing 27 calls MRAM100.

[0197] In drawing 27 , the MRAM cel array MCA has the MRAM cels MC11, MC21, MC12, and MC22. A magnetic tunnel junction (MTJ) and pn junction diode have the structure connected to the serial, any MRAM cel expresses MTJ with variable resistance in drawing 27 , and the series connection circuit with diode is expressed as an equal circuit.

[0198] MTJ is expressed with variable resistance in the software ferromagnetic layer (the modification possibility of, i.e., modification of the direction of magnetization, is possible for the direction of an electron spin) which constitutes MTJ, and a ferromagnetic layer (the direction of immobilization, i.e., magnetization, is fixed by the direction of an electron spin), because tunnel resistance becomes small when both spin has turned to the same direction, and tunnel resistance becomes large when having turned to the opposite direction mutually. Therefore, this variable resistance will have two resistance.

[0199] The MRAM cel MC 11 has the variable resistance R11 and diode D11 by which series connection was carried out between the bit line BL1 and the word line WL1. The MRAM cel MC 21 It has the variable resistance R21

and diode D21 by which series connection was carried out between the bit line BL1 and the word line WL2. The MRAM cel MC 12 Having the variable resistance R12 and diode D12 by which series connection was carried out between the bit line BL2 and the word line WL1, the MRAM cel MC 22 has the variable resistance R22 and diode D22 by which series connection was carried out between the bit line BL2 and the word line WL2.

[0200] Bit lines BL1 and BL2 have the composition that the drain electrical potential difference VDD is given through the NMOS transistors MN11 and MN21, respectively, in the 2nd control circuit CRW2 of train read-out / writing. And the drain electrode of the NMOS transistors MN12 and MN22 is connected to the drain electrode of the NMOS transistors MN11 and MN21, respectively, and it has become the source electrode of the NMOS transistors MN12 and MN22 with the configuration that the source electrical potential difference VSS is given.

[0201] Moreover, the output of NAND gates ND1, ND2, ND3, and ND4 is given to the gate electrode of the NMOS transistors MN11, MN12, MN21, and MN22, respectively, and each input which is three of NAND gates ND1-ND4 is connected to Multiplexer MUX.

[0202] Bit lines BL1 and BL2 have the composition that the drain electrical potential difference VDD is given through the NMOS transistor MN13, variable resistance R31 and MN23, and variable resistance R32, respectively, in the 1st control circuit CRW1 of train read-out / writing. And the drain electrode of the NMOS transistors MN14 and MN24 is connected to the drain electrode of the NMOS transistors MN13 and MN23, respectively, and it has become the source electrode of the NMOS transistors MN14 and MN24 with the configuration that the source electrical potential difference VSS is given.

[0203] In addition, the source electrode of the NMOS transistors MN13 and MN23 is connected also to the multiplexer MUX containing a sense amplifier for detection of a sense current.

[0204] Moreover, the output of NAND gates ND5, ND6, ND7, and ND8 is given to the gate electrode of the NMOS transistors MN13, MN14, MN23, and MN24, respectively, and each input which is three of NAND gates ND1-ND4 is connected to Multiplexer MUX.

[0205] Word lines WL1 and WL2 have the composition that the drain electrical potential difference VDD is given through the NMOS transistors QN11 and QN21, respectively, in the 1st control circuit RRW1 of line read-out / writing. And the drain electrode of the NMOS transistors QN12 and QN22 is connected to the drain electrode of the NMOS transistors QN11 and QN21, respectively, and it has become the

source electrode of the NMOS transistors QN12 and QN22 with the configuration that the source electrical potential difference VSS is given.

[0206] Moreover, the gate electrode of the NMOS transistors QN11, QN12, QN21, and QN22 is connected to the line decoder RD.

[0207] Word lines WL1 and WL2 have the composition that the source electrical potential difference VSS is given through the NMOS transistors QN13 and QN14, respectively, in the 2nd control circuit RRW2 of line read-out / writing.

[0208] In addition, in drawing 27 , although the MRAM cel array MCA is made into the cel array of two-line two trains, the size of a row and column is not limited to this.

[0209] Actuation of MRAM100 is explained using drawing 27 - drawing 29 below <B-2. equipment actuation>. Drawing 28 is the timing chart of the various currents in MRAM100 at the time of read-out and writing, and an electrical potential difference.

[0210] While the timing chart of the electrical potential difference given to the word line and bit line for writing and read-out of the timing chart of a sense current and the MRAM cels MC11, MC21, and MC12 in drawing 28 is shown The timing chart of the gate voltage V11, V12, V13, and V14 given to each gate electrode of the NMOS transistors MN11, MN12, MN13, and MN14, The timing chart of the gate voltage VW1, VW2, and VW3 given to the gate electrode of the NMOS transistors QN11, QN12, and QN13 and the timing chart of the source electrical potential difference VS 1 of the NMOS transistor MN13 are shown.

[0211] Moreover, in drawing 28 , the electrical potential differences at the time of standby of a word line and a bit line are electrical potential differences VW and Vb.

[0212] Since pn junction diode is contained in each MRAM cel, electrical potential differences VW and Vb are impressed to a word line and a bit line so that a reverse bias may be impressed to the pn junction of the diode concerned at the time of standby. In addition, since each diode is constituted so that a cathode may be connected to a word line as shown in drawing 27 , it is set up so that it may become the relation of $VW > Vb$.

[0213] It is assumed to below as the electrical-potential-difference $Vb =$ source electrical potential difference VSS, and control of a bit line BL1 is explained to it.

[0214] As shown in <B-2-1. standby condition> drawing 28 , in the state of standby, as for all word lines, an electrical potential difference VW is impressed, and, as for all bit lines, an electrical potential difference Vb is impressed. In order to realize this, four NMOS

transistors MN11, MN12, MN13, and MN14 shown in drawing 28 are arranged.
[0215] That is, the source electrical potential difference VSS is given to gate voltage V11 and V13 so that the NMOS transistors MN11 and MN13 may be in an OFF state at the time of standby, and the drain electrical potential difference VDD is given to gate voltage V12 and V14 so that the NMOS transistors MN12 and MN14 may be in an ON state.

[0216] Moreover, gate voltage VW1 is impressed so that the NMOS transistor QN11 may be in an ON state, gate voltage VW2 is impressed so that the NMOS transistor QN12 may be in an OFF state, and gate voltage VW3 is impressed so that the NMOS transistor QN13 may be in an OFF state.
[0217] In addition, since the source electrode is connected to the drain electrical potential difference VDD, the NMOS transistor QN11 impresses the electrical potential difference of $VDD + \Delta VDD$ as gate voltage VW1. This is for compensating the voltage drop by the threshold electrical potential difference of a transistor.

[0218] Consequently, the source electrical potential difference VSS is given to a bit line BL1, and the drain electrical potential difference VDD is given to a word line WL1.

[0219] When writing data "1" in the <B-2-2. write-in condition 1 (light 1)> MRAM cel MC 11 (the direction of spin is reversed), it is necessary to pass a current on the selection word line WL1 and the subdevice-bit line BL1. In MRAM100 shown in drawing 27, it assumes that a current flows bidirectionally only to a bit line.

[0220] In this case, make the NMOS transistors MN11 and MN14 into an ON state, and let the NMOS transistors MN12 and MN13 be OFF states. However, since the source electrode is connected to the drain electrical potential difference VDD, the NMOS transistor MN11 impresses the electrical potential difference of $VDD + \Delta VDD$ as gate voltage V11.

[0221] Consequently, the current IBT which flows a bit line BL1 will flow toward the bottom from on drawing 27.

[0222] To the selection word line WL1, Current IWD will flow toward the right from the left of drawing 27 by making the NMOS transistors QN11 and QN13 into an ON state, and on the other hand, making the NMOS transistor QN12 into an OFF state. Since the source electrode is connected to the drain electrical potential difference VDD, the NMOS transistor QN11 impresses the electrical potential difference of $VDD + \Delta VDD$ as gate voltage VW1.

[0223] Thus, the spin of the software ferromagnetic layer of MTJ of the MRAM cel MC 11 rotates the selection word line WL1 and the subdevice-bit line BL1 by the field resulting from the flowing currents IWD and IBT, and data are written in.

[0224] When reading the data "1" written in the <B-2-3. read-out condition 1 (lead 1)> MRAM cel MC 11, forward bias is impressed only to the diode D11 of the MRAM cel MC 11, and the sense current ISC is passed. If this sense current ISC flows the MRAM cel MC 11, a bit line BL1 will cause a voltage drop. Data judge "0" and "1" in the magnitude of this voltage drop.

[0225] In order to impress forward bias to diode D11, an electrical potential difference V_b is impressed to the selection word line WL1, and an electrical potential difference V_w is impressed to the subdevice-bit line BL1. In order to realize this condition, make the NMOS transistors MN11 and MN13 into an ON state, and let the NMOS transistors MN12 and MN14 be OFF states.

[0226] However, since the source line of the NMOS transistors MN11 and MN13 is VDD, the electrical potential difference of $VDD + \Delta VDD$ is impressed as gate voltage V_{11} and V_{13} .

[0227] At this time, a reverse bias (it is an electrical potential difference V_b to an electrical potential difference V_w and a bit line BL2 in a word line WL2) is impressed to the pn junction diode D22 of the MRAM cel MC 22 of the non-choosing address, the potential difference is not given to the diodes D12 and D21 of the MRAM cels MC12 and MC21 of the half-selection address (0 bias), and a current does not flow in the MRAM cels MC12, MC21, and MC22.

[0228] Here, RH and the value of the lower one are set to RL for the value of the higher one between two resistance of variable resistance R11 (namely, MTJ).

[0229] The sense current ISC which flows the memory cell of the MRAM cel MC 11 changes magnitude with the resistance (namely, value of variable resistance R11) of MTJ. Since it is $R_H > R_L$ when the value of a sense current in case resistance of MTJ is R_H and R_L is set to I_L and I_H , $I_H > I_L$ is realized.

[0230] Since a sense current flows in the MRAM cel MC.11, the electrical potential difference V_S 1 of the source electrode (it connects with Multiplexer MUX) of the NMOS transistor MN13 falls rather than the drain electrical potential difference VDD.

[0231] This voltage drop detects data "1" as compared with reference voltage depending on magnetic tunnel resistance with the sense amplifier contained in Multiplexer MUX in this descent electrical potential difference.

[0232] When writing data "0" in the <B-2-4. write-in condition 0 (light 0)> MRAM cel MC 11 (the direction of spin is maintained), differing from the case of the write-in condition 1 is the point that the direction of

the current which flows the subdevice-bit line BL1 becomes reverse. In order to realize this, make the NMOS transistors MN11 and MN14 into an OFF state, and let the NMOS transistors MN12 and MN13 be ON states.

[0233] Consequently, the current IBT which flows a bit line BL1 will flow toward a top from under drawing 27.

[0234] When reading the data "0" written in the <B-2-5. read-out condition 0 (lead 0)> MRAM cel MC 11, actuation of the NMOS transistors MN11, MN12, MN13, and MN14 is the same as the read-out condition 1 (lead 1). However, electrical-potential-difference difference ΔV with the electrical potential difference VS 1 in case the electrical potential difference VS 1 of the source electrode of the NMOS transistor MN13 in case the data to read are "0", and the data to read are "1" becomes so large that the rate of change $(R_H - R_L)$ of magnetic tunnel resistance / value of R_L is large. Since the margin to reference voltage detectable [with a sense amplifier] becomes large so that electrical-potential-difference difference ΔV is large, detection becomes easy.

[0235] Here, the applied-voltage dependency of the rate of change of magnetic tunnel resistance is shown in drawing 29. In drawing 29, the rate of change $\{(R_H - R_L) / R_L\}$ of magnetic tunnel resistance is shown for the bias voltage impressed to an axis of abscissa at MTJ on an axis of ordinate. in addition, the property about the single MAG tunnel junction which has one layer of tunnel barrier layers which were explained to drawing 29 until now, and which are MTJ -- a tunnel barrier layer -- two-layer -- ***** -- the property about a double MAG tunnel junction is shown collectively.

[0236] When the electrical potential difference impressed to a magnetic (single ***** duplex) tunnel junction is about 0.1V so that drawing 29 may show, the rate of change of magnetic tunnel resistance becomes max. Therefore, the electrical potential difference VW impressed to the subdevice-bit line BL1 at the time of read-out has a desirable electrical potential difference only with 0.1 V [higher than the electrical potential difference impressed to pn junction diode]. This electrical potential difference is realizable by adjusting the value of gate voltage $V_{DD} + \Delta V_{DD}$ of the NMOS transistors MN11 and MN13.

[0237] Here, the configuration of a double MAG tunnel junction is explained using drawing 30. As shown in drawing 30, the double MAG tunnel junction has the configuration to which the laminating of the 1st antiferromagnetic substance layer AF 1, the ferromagnetic layer FM 1, the 1st tunnel barrier layer TB 1, the software ferromagnetic layer FMS, the 2nd tunnel barrier layer TB 2, and the 2nd antiferromagnetic substance layer AF 2 was carried out.

[0238] In such a configuration, when an electrical potential difference VX is impressed among the terminals TA and TB of the 1st and 2nd antiferromagnetic substance layers AF1 and AF2, VX / every two electrical potential difference will be built over the 1st and 2nd tunnel barrier layers TB1 and TB2.

[0239] On the other hand, since an electrical potential difference VX will be built at a tunnel barrier thin film in the case of a single MAG tunnel junction, but the rate of change of magnetic tunnel resistance becomes so small that applied voltage is large, as the rate of change of magnetic tunnel resistance becomes large and the direction of a double MAG tunnel junction shows drawing 29 , a difference will arise in a property in a single MAG tunnel junction and a double MAG tunnel junction.

[0240] As explained beyond the <B-3. operation effectiveness>, according to MRAM of the gestalt 2 of operation concerning this invention Equip the both ends of the bit line of the MRAM cel array MCA, and a word line with the 1st control circuit CRW1 of train read-out / writing, and the 2nd control circuit CRW2 of train read-out / writing, and it sets to each. The 1st MOS transistor which connects a bit line and an electrical potential difference VDD (MN11, MN21, MN13, MN23), Since it has the 2nd MOS transistor (MN12, MN22, MN14, MN24) which connects a bit line and an electrical potential difference VSS The sense of the current which flows on a subdevice-bit line can be changed by changing an NMOS transistor, and the direction of the spin of the software ferromagnetic layer which constitutes MTJ can be changed into arbitration. In addition, since the NMOS transistor MN11, MN12 and MN21, MN22 and MN13, and MN14, MN23 and MN24 can change the connection place of the both ends of a bit line to an electrical potential difference VDD or an electrical potential difference VSS, they can call it a change means.

[0241] Moreover, since the 1st MOS transistor of the above of the 1st control circuit CRW1 of train read-out / writing is connected to the multiplexer MUX containing a sense amplifier, the electrical potential difference which originates in a sense current at the time of read-out of data can be outputted to Multiplexer MUX.

[0242] As a modification 1 of the gestalt 2 of operation concerning <B-4. modification 1> this invention, MRAM200 is shown in drawing 31 . In addition, MRAM200 has the almost same configuration as MRAM100 explained using drawing 27 . Differing instead of the NMOS transistors MN11, MN13, MN21, MN23, and QN11 in MRAM100, and QN21** The PMOS transistors MP11, MP13, MP21, MP23, QP11, and QP21 are formed. And the output of NAND gate ND11 is given to the gate electrode of the PMOS transistor MP 11 and the

NMOS transistor MN12. The output of NAND gate ND12 is given to the gate electrode of the PMOS transistor MP 21 and the NMOS transistor MN22. The output of NAND gate ND13 is given to the gate electrode of an input, the PMOS transistor MP 13, and the NMOS transistor MN14. It is the point which gave the output of NAND gate ND14 to the gate electrode of the PMOS transistor MP 23 and the NMOS transistor MN24, and has communalized the gate input.

[0243] In MRAM100 shown in drawing 27 , since the electrical potential difference of $VDD + \Delta VDD$ was impressed to the gate of MN21 and MN23 of the NMOS transistors MN11 and MN13 in the ON state, compared with the NMOS transistors MN12, MN14, MN22, and MN24 which only VDD requires for gate voltage, the burden placed on gate dielectric film may have become large.

[0244] However, in MRAM200 shown in drawing 31 , it is adopting the PMOS transistors MP11, MP13, MP21, and MP23, and since it is not necessary to impress the electrical potential difference more than VDD to the gate, the burden placed on gate dielectric film becomes small.

[0245] By moreover, the thing for which the PMOS transistors MP11, MP13, MP21, and MP23 are adopted Communalization of the NMOS transistors MN12, MN14, MN22, and MN24 and a gate input can be attained. The PMOS transistor MP 11 The NMOS transistor MN12, the PMOS transistor MP 21 and the NMOS transistor MN22, the PMOS transistor MP 13 and the NMOS transistor MN14, the PMOS transistor MP 23, and the NMOS transistor MN24 And an inverter (A driver and a buffer) are formed and power consumption can be reduced compared with MRAM100.

[0246] Drawing 32 is the timing chart of the various currents in MRAM200 at the time of read-out and writing, and an electrical potential difference.

[0247] In MRAM200, since each gate input of the PMOS transistors MP11 and MP13 and the NMOS transistors MN12 and MN14 is communalized, the timing chart of gate voltage V11 and V12 becomes the same, and the timing chart of gate voltage V13 and V14 becomes the same.

[0248] Moreover, although the timing chart of gate voltage VW1 and VW2 becomes the same since the gate input of the PMOS transistor QP 11 and the NMOS transistor QN12 is communalized (the same is said of the gate input of the PMOS transistor QP 21 and the NMOS transistor QN22), fundamental actuation is the same as MRAM100.

[0249] In addition, in this example, it is assumed as the electrical-potential-difference $V_b =$ source electrical potential difference VSS and the electrical-potential-difference $V_w =$ drain electrical potential difference VDD. That is, when the property of MJT is the same as what

was shown in drawing 29 , the drain electrical potential difference VDD is set as the value which added 0.1V to the electrical potential difference impressed to the pn junction diode of each MRAM cel almost equally.

[0250] Moreover, although not shown in drawing, read-out / write-in control circuit of MRAM 100 and 200 may be shared with an adjoining MRAM cel array. In this case, only a part to have shared does so the effectiveness of reducing equipment area.

[0251] As a modification 2 of the gestalt 2 of operation concerning <B-5. modification 2> this invention, MRAM300 is shown in drawing 33 . In addition, MRAM300 has the almost same configuration as MRAM200 explained using drawing 31 . Differing The PMOS transistor MP 11 And the NMOS transistor MN12, To each drain inter-electrode of the PMOS transistor MP 13 and the NMOS transistor MN14, the PMOS transistor MP 21 and the NMOS transistor MN22, the PMOS transistor MP 23, and the NMOS transistor MN24 The point which inserted the NMOS transistors MN15, MN16, MN25, and MN26, It is the point which inserted the NMOS transistors QN1 and QN2 in each drain inter-electrode of the PMOS transistor QP 11 and the NMOS transistor QN12, the PMOS transistor QP 21, and the NMOS transistor QN22.

[0252] In addition, the gate voltage of the NMOS transistors MN15, MN16, MN25, MN26, QN1, and QN2 is fixed to direct current voltage VGG.

[0253] The purpose of these NMOS transistors is reduction of leakage current. That is, BTBT(Band to band tunneling) TAT (Trap Assisted Tunneling), and the impact ionization (Impact Ionization) and SRH (Shockley-Read-hall process) to which the leakage current of MOSFET originates in the high electric field in a drain edge are the cause.

[0254] In order to reduce leakage current, the drain electrical potential difference given to the NMOS transistors MN12 and MN15 can be reduced by inserting the NMOS transistor MN15 in the drain inter-electrode of the PMOS transistor MP 11 and the NMOS transistor MN12, and setting the gate voltage of the NMOS transistor MN15 as predetermined direct current voltage (here electrical potential difference VGG) that what is necessary is just to reduce the electric field of a drain edge.

[0255] For example, an electrical potential difference VGG is set as VDD / $2+V_{thn}$ (threshold electrical potential difference of the NMOS transistor MN15), and it gives so that the NMOS transistor MN15 may always be made into an ON state. Then, when the NMOS transistor MN12 is turned on, it doubles with the NMOS transistor MN15. It will be in the condition that two resistance was connected to the serial. A resisted part Since the stress electrical potential difference (drain electrical potential difference VDD) which joins the NMOS transistors MN12 and MN15

comparatively more becomes equal, When not inserting the NMOS transistor MN15, compared with the leakage current only in the case of the NMOS transistor MN12, the total leakage current of MN12 and MN15 can be reduced sharply, and can reduce power consumption.

[0256] In addition, although having set the electrical potential difference VGG to $VDD/2 + V_{thn}$ is based on knowledge that the stress electrical potential difference which joins the NMOS transistors MN12 and MN15 by this setup becomes min equally, if power consumption is reduced in operation, it will not be limited to this electrical potential difference.

[0257] The above effectiveness is the same also in the NMOS transistors MN16, MN25, and MN26.

[0258] Moreover, also with the NMOS transistors QN1 and QN2 inserted in each drain inter-electrode of the PMOS transistor QP 11 and the NMOS transistor QN12, the PMOS transistor QP 21, and the NMOS transistor QN22, leakage current can be reduced sharply and power consumption can be reduced.

[0259] Moreover, although it assumed that a bidirectional current flowed to the bit line of a MRAM cel array at the time of the writing of data, and the current of an one direction flowed to a word line, the current of an one direction flows to a bit line, and you may make it a bidirectional current flow to a word line in the above explanation.

[0260] Moreover, a component with ON / off properties, such as MOSFET, TFT (Thin Film Transistor), and a bipolar transistor, may be used instead of the pn junction diode of a MRAM cel.

[0261] MRAM concerning the gestalt 3 of operation of <gestalt 3 of C. operation> <description of gestalt of this operation> this invention is characterized by dividing the word line or bit line of a MRAM cel array into two or more sub word lines or sub bit lines.

[0262] That is, if the cross section of l and wiring is set [the resistivity of wiring] to S for the die length of rho and wiring, the wiring resistance R will be given by the formula (9) next.

[0263]

[Equation 9]

$$R = \frac{\rho \cdot l}{S}$$

[0264] Moreover, if the current which flows to wiring is set to I, power consumption P will be given by the degree type (10).

[0265]

[Equation 10]

[0266] Therefore, if die-length l of wiring is shortened, it turns out that power consumption decreases. For example, if wiring is divided into two, power consumption will drop to $1/2$, and if n division (however, n two or more integers) of is done, power consumption can drop to $1/n$, can be written in in MRAM, and can reduce the power consumption at the time.

[0267] Moreover, an increment of the number of the memory cell linked to the same word line increases load-carrying capacity. Consequently, the time delay of the signal which transmits a word line increases, and the fault that rapid access is impossible arises.

[0268] However, in order that the number of the memory cell connected to the same wiring by dividing a word line into two or more sub word lines, and shortening the die length of wiring may decrease, load-carrying capacity is reduced. Consequently, a time delay can be shortened compared with the memory apparatus which does not divide a word line, and rapid access can be realized. This is the same also in a bit line. Hereafter, the concrete configuration of MRAM concerning the gestalt 3 of operation of this invention is explained.

[0269] A block diagram shows the configuration of MRAM400 which divided the word line into <division <C-1-1. equipment configuration> of C-1. word line> drawing 34 . As shown in drawing 34 , MRAM400 has two or more MRAM cel arrays 66.

[0270] The 2nd control circuit RRW2 of line read-out / writing connected to the 1st control circuit RRW1 of line read-out / writing and the 2nd edge at which each MRAM cel array 66 was connected to the 1st edge of two or more word lines 64, It has the 2nd control circuit CRW2 of train read-out / writing connected to the 1st control circuit CRW1 of train read-out / writing and the 2nd edge which were connected to the 1st edge of two or more bit lines 69.

[0271] In addition, although each above-mentioned control circuit presupposes that it is the same as that of MRAM 100-300 explained in the gestalt 2 of operation and the same sign is attached, it is not limited to these.

[0272] And corresponding to each MRAM cel array 66, two or more arrangement of the memory cell array selection line 70 connected to the train decoder which is not illustrated is carried out.

[0273] Moreover, the main word line 67 is connected to the output of two or more AND gates 62 which constitute a line decoder, respectively. In addition, the number of the main word line 67 is in agreement with the

number of the word line of each MRAM cel array 66.

[0274] The AND gate 61 of 2 inputs which consider the memory cell array selection line 70 and the main word line 67 as an input is connected to the intersection of two or more memory cell array selection lines 70 and two or more main word lines 67, respectively, and the output is connected to the sub word line 64 through the 1st control circuit RRW1 of line read-out / writing. This sub word line 64 turns into a word line of each MRAM cel array 66.

[0275] Actuation of MRAM400 is explained below <C-1-2. equipment actuation>. For example, if one of the memory cell array selection lines 70 and one of the main word lines 67 are activated, the AND gate 61 connected to the activated memory cell array selection line 70 and the activated main word line 67 will activate the sub word line 64 connected to the output.

[0276] In this case, since the activated main word line 67 is not directly connected to a MRAM cel, the capacity of the MRAM cel which constitutes the MRAM cel array 66 is not contained in that capacity. Therefore, compared with the configuration which chooses a MRAM cel with one word line over two or more MRAM cel arrays, the capacity contained in a word line decreases sharply.

[0277] Furthermore, as for the sub word line 64 which crosses one MRAM cel array 66, with constituting so short that the delay (CR delay) resulting from capacity and resistance being disregarded, MRAM400 can essentially reduce the time amount which chooses a specific MRAM cel, and can raise the working speed of MRAM.

[0278] The capacity of a MRAM cel is explained here. As an example, the case where a MRAM cel consists of series connection of MTJ (magnetic tunnel junction) and pn junction diode is assumed.

[0279] In this case, the MRAM cel capacity CM turns into the capacity CTMR of MTJ, and capacity which connected the junction capacitance CD of pn junction diode to the serial, as shown in the following formulas (11).

[0280]

[Equation 11]

$$C_M = C_{TMR} + C_D$$

[0281] In MRAM400 shown in drawing 34 , since only the MRAM cel linked to the sub word line 64 in the selected MRAM cel array 66 is accessed, compared with the configuration which does not divide a word line, the current which flows between the sub word line 64 and bit lines 69 can decrease in proportion to the inverse number of the number of a MRAM cel array, and can reduce power consumption.

[0282] In addition, as a logic gate which controls the sub word line 64 in MRAM400, although the AND gate is used Even if it uses other logic gates, such as not the thing limited to the AND gate but a NAND gate, the NOR gate, and an XOR gate The same effectiveness as MRAM400 is done so in inputting into the above-mentioned logic gate combining the logic showing "High" of the memory cell array selection line 70 and the main word line 67, or "Low", and its reverse logic ("Low" or "High"). Here, it is equivalent to any [the high price of each signal level, or] of a low value they are with "High" of logic, and "Low."

[0283] A block diagram shows the configuration of MRAM500 which hierarchized the word line to <hierarchization <C-2-1. equipment configuration> of C-2. word line> drawing 35 . MRAM500 is equipped with n memory cell array groups 861-86n constituted by having m MRAM cel arrays 85 as shown in drawing 35 .

[0284] If the memory cell array group 861 is taken for an example, each MRAM cel array 85 The 2nd control circuit RRW2 of line read-out / writing connected to the 1st control circuit RRW1 of line read-out / writing and the 2nd edge which were connected to the 1st edge of two or more word lines 83, It has the 2nd control circuit CRW2 of train read-out / writing connected to the 1st control circuit CRW1 of train read-out / writing and the 2nd edge which were connected to the 1st edge of two or more bit lines 89.

[0285] And corresponding to each MRAM cel array 85, m memory cell array selection lines 911-91m connected to the train decoder which is not illustrated are arranged.

[0286] Moreover, the main word line 84 is connected to the output of two or more AND gates (subglobal decoder) 81, respectively. In addition, the number of the main word line 84 is in agreement with the number of the word line of each MRAM cel array 85.

[0287] The AND gate (local line decoder) 82 of 2 inputs which consider one of the main word lines 84 as an input with memory cell array selection lines [911-91m] any they are is connected to the intersection of the memory cell array selection lines 911-91m and two or more main word lines 84, respectively, and the output is connected to the sub word line 83 through the 1st control circuit RRW1 of line read-out / writing. This sub word line 83 turns into a word line of each MRAM cel array 85.

[0288] Moreover, it connects with the memory cell array group-selection line 901 of two or more subglobal decoders 81 in which all the 1st input was arranged corresponding to the memory cell array group 861 in common.

[0289] And each of the 2nd input is connected to the output of the Maine

global decoder 80 through the global word line 87 of two or more subglobal decoders 81 connected to the output of two or more AND gates (Maine global decoder) 80.

[0290] The memory cell array group-selection lines 901-90n are wiring which is different in the global word line 87, and both are arranged so that it may cross.

[0291] In addition, other memory cell array groups have the same configuration as the memory cell array group 861, it connects with two or more subglobal decoders 81, respectively, and each subglobal decoders 81 of two or more are also connected to the memory cell array group-selection line.

[0292] That is, corresponding to memory cell array groups [861-86n] each, the memory cell array group-selection lines 901-90n are arranged, and the 2nd input of two or more subglobal decoders 81 connected to the memory cell array groups 861-86n, respectively is connected to the output of two or more Maine global decoders 80 through the global word line 87, respectively.

[0293] In addition, two or more Maine global decoders 80 are connected to the address signal track group 88.

[0294] Actuation of MRAM500 is explained below <C-2-2. equipment actuation>. It is chosen by the memory cell array group-selection lines 901-90n any they are, and two or more MRAM cel arrays 85 in 861-86n of memory cell array groups are chosen for the memory cell array groups 861-86n by the memory cell array selection lines 911-91m.

[0295] If actuation of the memory cell array groups 861-86n is the same as that of MRAM400 explained using drawing 34 , for example, one of the memory cell array selection line 911 and the main word lines 84 is activated, the AND gate 82 connected to the activated memory cell array selection line 911 and the main word line 84 will activate the sub word line 83 connected to the output.

[0296] In this case, since the capacity of the MRAM cel which constitutes the MRAM cel array 85 is not contained in the capacity of the activated main word line 84, compared with the conventional MRAM which had chosen the MRAM cel with one word line over two or more MRAM cel arrays, the capacity contained in a word line decreases sharply.

[0297] Moreover, for example, if one of the memory cell array group-selection line 901 and the global word lines 87 is activated, the AND gate 81 connected to the activated memory cell array group-selection line 901 and the global word line 87 will activate the main word line 84 connected to the output.

[0298] In this case, since the capacity of the MRAM cel array 85 which

constitutes the memory cell array groups 861-86n is not contained in the capacity of the activated global word line 87, compared with the configuration which chooses a MRAM cel with one word line over two or more memory cell array groups, the capacity contained in a word line decreases sharply.

[0299] Therefore, compared with the conventional MRAM which does not hierarchize a word line, the current which flows between a word line 83 and bit lines 89 can decrease in proportion to the inverse number of the number of a memory cell array group, and it not only decreases in proportion to the inverse number of the number of a MRAM cel array, but it can reduce power consumption.

[0300] An example of the whole MRAM configuration with which the word line was hierarchized by <MRAM whole configuration by which C-2-3. word line was hierarchized> drawing 36 is shown. In drawing 36, MRAM equipped with four memory cell array groups 861-864 constituted by having four MRAM cel arrays 851-854 is shown, and four memory cell array group-selection lines 901-904 are arranged corresponding to each of four memory cell array groups 861-864. Moreover, in each memory cell array group, four memory cell array selection lines 911-914 are arranged corresponding to four MRAM cel arrays 851-854.

[0301] In addition, in drawing 36, each configuration of MRAM cel array 85 grade is expressed with a simple block, and shows typically each wiring path of global word line 87 grade by the arrow head. Drawing 36 shows that the so-called word line is hierarchized.

[0302] A block diagram shows the configuration of MRAM600 which divided the bit line into <division <C-3-1. equipment configuration> of C-3. bit line> drawing 37. As shown in drawing 37, MRAM600 has two or more MRAM cel arrays 166.

[0303] The 2nd control circuit RRW2 of line read-out / writing connected to the 1st control circuit RRW1 of line read-out / writing and the 2nd edge at which each MRAM cel array 166 was connected to the 1st edge of two or more word lines 160, It has the 2nd control circuit CRW2 of train read-out / writing connected to the 1st control circuit CRW1 of train read-out / writing and the 2nd edge which were connected to the 1st edge of two or more bit lines 164.

[0304] In addition, although the above-mentioned control circuit presupposes that it is the same as that of MRAM 100-300 explained in the gestalt 2 of operation and the same sign is attached, it is not limited to these.

[0305] And corresponding to each MRAM cel array 166, two or more arrangement of the memory cell array selection line 170 connected to the

line decoder which is not illustrated is carried out.

[0306] Moreover, the Maine bit line 167 is connected to the output of two or more AND gates 162 which constitute a train decoder, respectively. In addition, the number of the Maine bit line 167 is in agreement with the number of the bit line of each MRAM cel array 166.

[0307] NAND gate 161 of 2 inputs which consider the memory cell array selection line 170 and the Maine bit line 167 as an input is connected to the intersection of two or more memory cell array selection lines 170 and two or more Maine bit lines 167, respectively, and the output is connected to the sub bit line 164 through the 1st control circuit CRW1 of train read-out / writing. The ** sub bit line 164 turns into a bit line of each MRAM cel array 166.

[0308] Actuation of MRAM600 is explained below <C-3-2. equipment actuation>. For example, if one of the memory cell array selection lines 170 and one of the Maine bit lines 167 are activated, NAND gate 161 connected to the activated memory cell array selection line 170 and the activated Maine bit line 167 will activate the sub bit line 164 connected to the output.

[0309] In this case, since the activated Maine bit line 167 is not directly connected to a MRAM cel, the capacity of the MRAM cel which constitutes the MRAM cel array 166 is not contained in that capacity. Therefore, compared with the configuration which chooses a MRAM cel with one bit line over two or more MRAM cel arrays, the capacity contained in a bit line decreases sharply.

[0310] Furthermore, since the sub bit line 164 which crosses one MRAM cel array 166 can be done so short that the delay (CR delay) resulting from capacity and resistance can be disregarded, MRAM600 can essentially reduce the time amount which chooses a specific MRAM cel, and can raise the working speed of MRAM.

[0311] Although the overlapping explanation is omitted since the capacity of a MRAM cel is explained using a formula (11) Since only the MRAM cel which has connected with the sub bit line 164 in the selected MRAM cel array 166 in MRAM600 shown in drawing 37 is accessed Compared with the configuration which does not divide a bit line, the current which flows between the sub bit line 164 and word lines 169 can decrease in proportion to the inverse number of the number of a MRAM cel array, and can reduce power consumption.

[0312] In addition, as a logic gate which controls the sub bit line 164 in MRAM600, although the NAND gate is used Even if it uses other logic gates, such as not the thing limited to a NAND gate but the AND gate, the NOR gate, and an XOR gate The same effectiveness as MRAM600 is done

so in inputting into the above-mentioned logic gate combining the logic showing "High" of the memory cell array selection line 170 and the Maine bit line 167, or "Low", and its reverse logic ("Low" or "High"). Here, it is equivalent to any [the high price of each signal level, or] of a low value they are with "High" of logic, and "Low."

[0313] A block diagram shows the configuration of MRAM700 which hierarchized the bit line to <hierarchization <C-4-1. equipment configuration> of C-4. bit line> drawing 38 . MRAM700 is equipped with n memory cell array groups 186l-186n constituted by having m MRAM cel arrays 185 as shown in drawing 38 .

[0314] If the memory cell array group 186l is taken for an example, each MRAM cel array 185 The 2nd control circuit RRW2 of line read-out / writing connected to the 1st control circuit RRW1 of line read-out / writing and the 2nd edge which were connected to the 1st edge of two or more word lines 189, It has the 2nd control circuit CRW2 of train read-out / writing connected to the 1st control circuit CRW1 of train read-out / writing and the 2nd edge which were connected to the 1st edge of two or more bit lines 183.

[0315] And corresponding to each MRAM cel array 185, m memory cell array selection lines 191l-191m connected to the line decoder which is not illustrated are arranged.

[0316] Moreover, the Maine bit line 184 is connected to the output of two or more AND gates (subglobal decoder) 181, respectively. In addition, the number of the Maine bit line 184 is in agreement with the number of the bit line of each MRAM cel array 185.

[0317] The AND gate (local train decoder) 182 of 2 inputs which consider one of the Maine bit lines 184 as an input with memory cell array selection lines [191l-191m] any they are is connected to the intersection of the memory cell array selection lines 191l-191m and two or more Maine bit lines 184, respectively, and the output is connected to the sub bit line 183 through the 1st control circuit CRW1 of train read-out / writing. This sub bit line 183 turns into a word line of each MRAM cel array 185.

[0318] Moreover, it connects with the memory cell array group-selection line 190l of two or more subglobal decoders 181 in which all the 1st input was arranged corresponding to the memory cell array group 186l in common.

[0319] And each of the 2nd input is connected to the output of the Maine global decoder 180 through the global bit line 187 of two or more subglobal decoders 181 connected to the output of two or more AND gates (Maine global decoder) 180.

[0320] The memory cell array group-selection lines 1901-190n are wiring which is different in the global bit line 187, and both are arranged so that it may cross.

[0321] In addition, other memory cell array groups have the same configuration as the memory cell array group 1861, it connects with two or more subglobal decoders 181, respectively, and each subglobal decoders 181 of two or more are also connected to the memory cell array group-selection line.

[0322] That is, corresponding to memory cell array groups [1861-186n] each, the memory cell array group-selection lines 1901-190n are arranged, and the 2nd input of two or more subglobal decoders 181 connected to the memory cell array groups 1861-186n, respectively is connected to the output of two or more Maine global decoders 180 through the global bit line 187, respectively.

[0323] In addition, two or more Maine global decoders 180 are connected to the address signal track group 188.

[0324] Actuation of MRAM700 is explained below <C-4-2. equipment actuation>. It is chosen by the memory cell array group-selection lines 1901-190n any they are, and two or more MRAM cel arrays 185 in 1861-186n of memory cell array groups are chosen for the memory cell array groups 1861-186n by the memory cell array selection lines 1911-191m.

[0325] If actuation of the memory cell array groups 1861-186n is the same as that of MRAM600 explained using drawing 37 , for example, one of the memory cell array selection line 1911 and the Maine bit lines 184 is activated, the AND gate 182 connected to the activated memory cell array selection line 1911 and the Maine bit line 184 will activate the sub bit line 183 connected to the output.

[0326] In this case, since the capacity of the MRAM cel which constitutes the MRAM cel array 185 is not contained in the capacity of the activated Maine bit line 184, compared with the conventional MRAM which had chosen the MRAM cel with one bit line over two or more MRAM cel arrays, the capacity contained in a bit line decreases sharply.

[0327] Moreover, for example, if one of the memory cell array group-selection line 1901 and the global bit lines 187 is activated, the AND gate 181 connected to the activated memory cell array group-selection line 1901 and the global bit line 187 will activate the Maine bit line 184 connected to the output.

[0328] In this case, since the capacity of the MRAM cel array 185 which constitutes the memory cell array groups 1861-186n is not contained in the capacity of the activated global bit line 187, compared with the configuration which chooses a MRAM cel with one bit line over two or

more memory cell array groups, the capacity contained in a bit line decreases sharply.

[0329] Therefore, compared with the conventional MRAM which does not hierarchize a bit line, the current which flows between a bit line 183 and word lines 189 can decrease in proportion to the inverse number of the number of a memory cell array group, and it not only decreases in proportion to the inverse number of the number of a MRAM cel array, but it can reduce power consumption.

[0330] In addition, although the example which set in the gestalt 3 of the operation explained above, and was divided and hierarchized about each of a word line and a bit line was explained, it is good also as a configuration which hierarchized both the configuration which combined these and divided both the word line and the bit line or the word line, and the bit line. By taking such a configuration, reduction of the further power consumption and the working speed of MRAM can be raised further.

[0331] MRAM concerning the gestalt 4 of operation of <gestalt 4 of D. operation> <description of gestalt of this operation> this invention is characterized by package-eliminating or package writing in the stored data of two or more MRAM cels using the field generated in the inductor.

[0332] <D-1. equipment configuration> drawing 39 is the perspective view showing the configuration of MRAM800 concerning the gestalt 4 of operation of this invention. In drawing 39, bit lines 4, 5, and 6 are arranged in parallel mutually, the MRAM cel MC is formed in each intersection across which it faces with a word line and a bit line, and the MRAM cel array MCA 1 is constituted so that it may cross in the upper part of the word lines 1, 2, and 3 arranged in parallel mutually.

[0333] Although the explanation which explains the configuration of the MRAM cel MC using drawing 1, and overlaps is omitted, the direction of the easy axis of the software ferromagnetic layer which constitutes the MRAM cel MC is the extension direction of each word line so that it may ****.

[0334] And the coiled form inductor ID is arranged so that the MRAM cel array MCA 1 may be surrounded.

[0335] Inductor ID connects metal wiring to a coiled form, is constituted, and is rolled about along the direction where word lines 1-3 extend.

[0336] And it connects with the inductor drive circuit (not shown) which can pass a current bidirectionally, and the both ends of Inductor ID have the composition that the direction of the field generated to the field surrounded by Inductor ID can be changed by changing the sense of

the current passed to Inductor ID. In addition, the field generated by Inductor ID is mostly in agreement in the direction of the easy axis of the software ferromagnetic layer which constitutes the MRAM cel MC where word lines 1-3 extend, i.e., the direction.

[0337] Therefore, when performing package elimination or the package writing of data to two or more MRAM cels MC of the MRAM cel array MCA 1, the directions of the spin of a software ferromagnetic layer can be changed in the predetermined direction for a current all at once from an inductor drive circuit at Inductor ID by the sink and the field to generate.

[0338] in addition, in drawing 39 , for convenience, although the memory cell array of three-line three trains is shown, the size of a row and column is not the thing of explanation limited to this -- there is nothing.

[0339] moreover, Inductor ID, word lines 1-3, a bit line 4 - 6 grades -- each -- a conductor -- between lines, although the gas or the solid insulator is arranged, by drawing 39 , the display is omitted for convenience.

[0340] Moreover, in drawing 39 , for convenience, although the pitch of the winding of Inductor ID is shown more greatly than the pitch of the MRAM cel array MCA 1, it is not the thing of explanation limited to this.

[0341] Moreover, what is necessary is to be the configuration of having the double MAG tunnel junction which especially limitation does not have in the configuration of the MRAM cel MC, for example, was explained using drawing 30 , and just to have at least one magnetic tunnel junction. For example, the memory cell which carried out the loop formation of the magnetic flux to at least one magnetic tunnel junction by static magnetism association, and was equipped with the magnetic substance / non-magnetic material / magnetic-substance structure is sufficient.

[0342] Moreover, an inductor does not need to be a coiled form if the field which is in agreement in the direction of the easy axis of a software ferromagnetic layer can be generated.

[0343] drawing 40 which is a sectional view in the A-A line in drawing 39 here - drawing 42 -- using -- ***** explanation of MRAM800 of operation -- it carries out. In addition, a different pitch from drawing 39 of explanation shows the winding pitch of Inductor ID for convenience.

[0344] Drawing 40 shows an example of the condition before package elimination. As shown in drawing 40 , the MRAM cel MC has the configuration by which the magnetic tunnel junction (MTJ) was arranged in the upper part of the pn junction diode PN. And the direction of the

spin of the software ferromagnetic layer 22 which constitutes the MRAM cel MC of the lower part of a bit line 5 has turned to the left toward drawing, and the direction of the spin of other MRAM cels MC has turned to the right. And Inductor ID is grounded in the state of standby of the condition ID which does not carry out package elimination actuation and package write-in actuation, i.e., an inductor. The effectiveness of intercepting an external noise and protecting the MRAM cel array MCA 1 by this is done so.

[0345] Drawing 41 shows an example of the condition of package elimination. If the signal of package elimination is inputted into an inductor drive circuit, a rightward field will occur so that the current of the 1st direction may flow and **** to Inductor ID. That the field inside an inductor leaks to the exterior decreases, and a field can be efficiently generated, so that the pitch of Inductor ID is narrow at this time.

[0346] Here, if the direction of the spin showing elimination is made into facing the right in drawing, the spin of the software ferromagnetic layer 22 of all the MRAM cels MC will turn [coincidence] to right-hand side, and package elimination of the data will be carried out by the field of the right generated inside the inductor.

[0347] Drawing 42 shows an example of the condition of package writing. If the signal of package writing is inputted into an inductor drive circuit, a leftward field will occur so that a current may flow and **** in the 2nd direction opposite to the 1st direction to Inductor ID.

[0348] Here, if the direction of the spin showing writing is made into the facing the left in drawing, by the field of the left generated inside the inductor, the spin of the software ferromagnetic layer 22 of all the MRAM cels MC will turn [coincidence] to the left, data will bundle up, and it will be written in.

[0349] The <D-2. operation effectiveness> When package elimination or the same data is put in block and it writes in the stored data of two or more MRAM cels, time amount is taken by the approach of choosing the address in detail, and eliminating or writing in stored data with a word line and a bit line, and power consumption is also large.

[0350] On the other hand, since package elimination or the package writing of the data of two or more MRAM cels can be carried out, it can process in a short time and a field is efficiently generated by Inductor ID, there is also little power consumption and it can be managed with MRAM by the gestalt of this operation.

[0351] <D-3. modification> In order to package-eliminate or package write in the stored data of two or more MRAM cels, the configuration of

those other than an inductor can also be taken.

[0352] The flat-surface configuration of MRAM900 is shown in drawing 43 as a modification of the gestalt 4 of this operation. In addition, in drawing 43 , for convenience, although the MRAM cel array MCA 2 of four-line four trains is shown, the size of a row and column is not the thing of explanation limited to this.

[0353] As shown in drawing 43 , the flash plate bit line FBL and the flash plate word line FWL for batch processing of data are arranged in the upper and lower sides of the MRAM cel array MCA 2.

[0354] The flash plate bit line FBL and the flash plate word line FWL are formed corresponding to the field whole region where two or more bit lines BL1 and word lines WL1 were arranged, respectively, and the plane view configuration has all become rectangle-like in drawing 43 .

[0355] It has the composition that a bit line BL1 crosses in the upper part of a word line WL1 in drawing 43 , and the MRAM cel MC is arranged between the both lines of the intersection of a word line WL1 and a bit line BL1.

[0356] And the flash plate word line FWL is arranged by the lower part of a word line WL1, and the flash plate bit line FBL is arranged in the upper part of a bit line BL1. In addition, in drawing 43 , the topmost flash plate bit line FBL is deleted partially for convenience, and is shown.

[0357] It can set to drawing 43 and the cross-section configuration in an A-A line and a B-B line is shown in drawing 44 and drawing 45 , respectively.

[0358] As shown in drawing 45 , the MRAM cel MC has the configuration by which the magnetic tunnel junction (MTJ) was arranged in the upper part of the pn junction diode PN.

[0359] Thus, up and down, the flash plate bit line FBL and the flash plate word line FWL are arranged, on the occasion of package elimination or package writing, it is the thing of the MRAM cel array MCA 2 for which the current of the predetermined direction is passed to the flash plate bit line FBL and the flash plate word line FWL, and package elimination or package writing can be realized by turning the spin of the software ferromagnetic layer of all the MRAM cels MC in the same direction as coincidence.

[0360] In addition, what is necessary is just to make the direction of the current passed for package elimination or package writing the same as a bit line BL and the direction of a current passed word line WL in the flash plate bit line FBL and the flash plate word line FWL, in case elimination or the writing of data is separately performed in the MRAM

cel MC.

[0361] In addition, for the flash plate bit line FBL and the flash plate word line FWL, you may have both and only one of the two is. Namely, since the field to generate is proportional to the magnitude of a current, if many currents are passed, at least one side is possible for reversal of spin.

[0362] In addition, total of the current which needs the direction which generates the field of the same magnitude by the both line to reverse spin can be small performed using both the flash plate bit line FBL and the flash plate word line FWL.

[0363] Moreover, at the time of standby of the condition FBL which does not carry out package elimination actuation and package write-in actuation, i.e., a flash plate bit line, and the flash plate word line FWL, the noise resulting from an external field and electric field is covered by grounding the flash plate bit line FBL and the flash plate word line FWL, and the effectiveness of protecting the MRAM cel array MCA 2 is done so.

[0364] In addition, in MRAM900 explained above, although the configuration which has one MRAM cel array MCA 2 was shown, a MRAM cel array is applicable also in the configuration which it has. It is shown in drawing 46, using the configuration concerned as MRAM900A.

[0365] As shown in drawing 46, in MRAM900A, two or more MRAM cel arrays MCA 2 are arranged in the shape of a matrix, and the global flash plate bit line GBL and the global flash plate word line GWL for batch processing of data are arranged in the upper and lower sides of the array of the MRAM cel array MCA 2 in the shape of a matrix so that it may correspond to the array of the MRAM cel array MCA 2.

[0366] Although the global flash plate bit line GBL and the global flash plate word line GWL have the same function as the flash plate bit line FBL and the flash plate word line FWL which are shown in drawing 43 and omit explanation, since it is used common to two or more MRAM cel arrays MCA 2, they have changed the name.

[0367] In addition, the 1st control circuit RRW1 of line read-out / writing explained in drawing 27, drawing 31, and drawing 33, the 2nd control circuit RRW2 of line read-out / writing and the 1st control circuit CRW1 of train read-out / writing, and the 2nd control circuit CRW2 of train read-out / writing may be used for the control circuit of the flash plate bit line FBL explained above and the flash plate word line FWL, the global flash plate bit line GBL, and the global flash plate word line GWL.

[0368] Moreover, it sets like MRAM900A shown in drawing 46 in the

configuration which has two or more MRAM cel arrays MCA 2. Since a current may flow also in the MRAM cel array MCA 2 of not choosing in the same train as the MRAM cel array MCA 2 set as the object of package elimination or package writing, and the same line The divided word line which was explained using drawing 34 - drawing 38 in order to reduce the consumed electric current, The technical thought of the divided bit line, the hierarchized word line, and the hierarchized bit line may be applied to the global flash plate bit line GBL and the global flash plate word line GWL.

[0369] Using LC resonance of an inductor and a capacitor, MRAM concerning the gestalt 5 of operation of <gestalt 5 of E. operation> <description of gestalt of this operation> this invention recycles a current, and is characterized by using for rewriting of at least 1 times or more of stored data.

[0370] <E-1. equipment configuration> drawing 47 is drawing showing the flat-surface configuration of MRAM1000 concerning the gestalt 5 of operation of this invention. A multiplexer MUX1 is connected to the 1st edge of two or more bit lines BL1 of the MRAM cel array MCA 3 in drawing 47, and the multiplexer MUX2 is connected to the 2nd edge. Moreover, the drain electrical potential difference VDD is given to the 1st edge of two or more word lines WL1, and the NMOS transistor QN1 is connected to each 2nd edge of two or more word lines WL1.

[0371] Moreover, two or more NMOS transistors QM1 prepared corresponding to the number of two or more bit lines BL1 are connected to a multiplexer MUX1, and the capacitor CP 1 is connected to the source electrode of each NMOS transistor QM1.

[0372] Moreover, the multiplexer MUX2 is constituted so that one inductor ID 1 may be connected to two bit lines BL1, and the inductor ID 1 of the number equivalent to the one half of the total of two or more bit lines BL1 is connected to the multiplexer MUX2 as a result.

[0373] In addition, although the train decoder explained using drawing 26, the line decoder, and the control circuit are connected to the bit line BL1 and the word line WL1, since they have thin relation with the gestalt of this operation and are simplification of explanation, illustration and explanation are omitted.

[0374] <E-2. equipment actuation>, next actuation of MRAM1000 are explained. In addition, the sign of BL1a and BL1b may be attached and distinguished to a bit line BL1 for convenience below.

[0375] First, the word line WL1 including the selection address is chosen, and a direct current IDC flows to the selection word line WL1 concerned.

[0376] Next, the bit line BL1 including the selection address is chosen by the multiplexer MUX1, and writes in via the subdevice-bit line BL1a concerned, and a current I1 flows into a multiplexer MUX2. In this case, the inductor ID 1 connected to subdevice-bit line BL1a is chosen by the multiplexer MUX2, and the energy of the write-in current I1 is saved as a magnetic field in an inductor ID 1.

[0377] If another bit line BL1 connected to the above-mentioned inductor ID 1 is chosen by the multiplexer MUX2, the write-in current I1 which flowed can flow to the subdevice-bit line BL1b concerned, and can reuse an inductor ID 1 as a current I2.

[0378] This current I2 is stored in the vacant capacitor CP 1 as a charge via a multiplexer MUX1, and can be theoretically written in any number of times by connecting multiplexers MUX1 and MUX2 suitably again.

[0379] In addition, according to are recording of the charge to a capacitor CP 1, and the timing of emission of the charge from a capacitor CP 1, on-off control of two or more NMOS transistors QM1 is carried out, and on-off control of two or more NMOS transistors QN1 is carried out to a word line WL1 according to the timing which passes a direct current IDC.

[0380] As explained beyond the <E-3. operation effectiveness>, the power consumption at the time of writing can be reduced by recycling the write-in current in a bit line BL1 using LC resonance of an inductor ID 1 and a capacitor CP 1.

[0381] As a modification of the gestalt of <E-4. modification> book operation, the flat-surface configuration of MRAM1100 is shown in drawing 48. In MRAM1100, in addition to the configuration of MRAM1000 shown in drawing 47, a multiplexer MUX3 is connected to the 1st edge of two or more word lines WL1 of the MRAM cel array MCA 3, and the multiplexer MUX4 is connected to the 2nd edge.

[0382] Moreover, two or more NMOS transistors QN1 prepared corresponding to the number of two or more word lines WL1 are connected to a multiplexer MUX3, and the capacitor CP 2 is connected to the source electrode of each NMOS transistor QN1.

[0383] Moreover, the multiplexer MUX4 is constituted so that one inductor ID 2 may be connected to two word lines WL1, and the inductor ID 2 of the number equivalent to the one half of the total of two or more bit lines WL1 is connected to the multiplexer MUX4 as a result.

[0384] In MRAM1100 of such a configuration, the write-in current not only in the write-in current in a bit line BL1 but the word line WL1 can be recycled using LC resonance of an inductor ID 2 and a capacitor CP 2, and the power consumption resulting from consumption of a write-in

current can be reduced further.

[0385] In addition, since recycle actuation of an inductor ID 2 and the write-in current by LC resonance of a capacitor CP 2 is the same as that of it by LC resonance of an inductor ID 1 and a capacitor CP 1, explanation is omitted.

[0386] Moreover, it is compensated by the general current detection mold compensating network established in multiplexers MUX1-MUX4 about the current consumed in an inductor ID 1 and a capacitor CP 1, an inductor ID 2, and a capacitor CP 2.

[0387] In addition, what is necessary is just to use the spiral inductor formed by coiling wiring around a curled form and carrying out a time as inductors ID1 and ID2, for example.

[0388] The configuration shown in drawing 47 and drawing 48 is an example, and if it can be written in using LC resonance and recycle of a current can be aimed at, it will not be limited to the above-mentioned configuration.

[0389] The magnetic-substance substrate concerning the gestalt 5 of operation of <gestalt 6 of F. operation> <description of gestalt of this operation> this invention is characterized by forming the multilayers used as a magnetic tunnel junction (MTJ) on a principal plane beforehand.

[0390] The cross-section configuration of the magnetic-substance substrate concerning the gestalt 5 of the operation of this invention to <F-1. substrate configuration> drawing 49 is shown. In drawing 49, all over the principal plane of silicon substrate SB, the insulator layers IL 1, such as silicon oxide or a silicon nitride, are arranged, and the conductor layer ML1 which serves as a word line or a bit line behind is arranged on it.

[0391] The laminating of the p-type silicon layer SF 2 which has n mold silicon layer SF 1 which has comparatively high-concentration n mold impurity, and comparatively high-concentration p mold impurity is carried out to the upper part of a conductor layer ML1. Two-layer [this] serves as pn junction diode behind.

[0392] And the tungsten layer STD which serves as a tungsten stud behind is formed in the upper part of the p-type silicon layer SF 2, and the multilayers which serve as MTJ behind are arranged on the tungsten layer STD.

[0393] Namely, the template layer TPL which consists of platinum (Pt) sequentially from the bottom, The initial ferromagnetic layer IFL (4nm of thickness) which consists of permalloys of nickel81Fe19, The diamagnetic-material layer AFL (10nm of thickness) which consists of Mn54Fe(s)46, The ferromagnetic layer FFL (8nm of thickness) which

consists of permalloys of CoFe or nickel81Fe19, It has the contact layer CL which consists of software ferromagnetic layers FML and Pt which consist of multilayers of CoFe of the tunnel barrier layer TBL which consists of aluminum 203, and 2nm of thickness, and nickel81Fe19 of 20nm of thickness.

[0394] Moreover, the conductor layer ML2 used as a word line or a bit line is arranged in the upper part of the contact layer CL, and the insulator layer IL 2 is arranged in behind as antioxidizing film of a metal layer at the topmost part.

[0395] If such a magnetic-substance substrate is sold, a user can form the MRAM cel array MCA 1 as shown in drawing 39 by carrying out patterning by argon ion milling, using a photoresist mask.

[0396] The <F-2. operation effectiveness> A board maker sells the magnetic-substance substrate with which the multilayers which serve as pn junction diode and MTJ beforehand were formed on the principal plane in this way, and it is using the magnetic-substance substrate concerned, and a user can prepare a mere silicon substrate, can skip a production process compared with the case where multilayers are formed on the principal plane, and can reduce a manufacturing cost.

[0397] The magnetic-substance substrate with which the multilayers used as pn junction diode and MTJ were beforehand formed on the principal plane of a SOI (Silicon On Insulator) substrate at <F-3. modification> drawing 50 is shown.

[0398] In drawing 50 , it embeds on silicon substrate SB, an oxide film BX is arranged, and the SOI layer SI is arranged on the embedding oxide film BX. And on the SOI layer SI, the same multilayers as being shown drawing 49 are arranged.

[0399] As explained using drawing 31 and drawing 33 , MOSFET is required for MRAM. And since parasitic capacitance can be reduced if MOSFET is formed on a SOI layer, the working speed of MOSFET can be made quick and the working speed of MRAM can also be made quick as a result.

[0400] In addition, in the gestalt 6 of the operation explained above, although the multilayers used as a magnetic tunnel junction showed the configuration deposited on the bulk silicon substrate or the SOI substrate and called it the magnetic-substance substrate, the multilayers (multilayers of the thin film magnetic substance) used as a magnetic tunnel junction may be deposited on a glass substrate or a resin substrate, and the class of substrate used as a foundation is not limited to a semi-conductor substrate.

[0401] Therefore, in this invention, the configuration which deposited the multilayers of the thin film magnetic substance by using a certain

substrate as a foundation is called the thin film magnetic-substance substrate.

[0402] MRAM concerning the gestalt 7 of operation of <gestalt 7 of G. operation> <description of gestalt of this operation> this invention is characterized by being formed on various functional block formed on the principal plane of a substrate.

[0403] <G-1. equipment configuration> First, in order to explain a difference with the gestalt of this operation, a block diagram shows the configuration of the conventional common semiconductor memory to drawing 51.

[0404] In drawing 51, the train address buffer 31, the train decoder 32, train read-out / write-in control circuit 33, the line address buffer 34, the line decoder 35, and line read-out / write-in control circuit 36 are arranged in the perimeter of the memory cell array 31 as a circumference circuit of the memory cell array 31.

[0405] Moreover, the input output buffer which transmits and receives a signal with the equipment exterior as other functional block (I/O buffer), The above-mentioned signal is larger than a value of standard, or And (overshoot), When small (undershoot), restore to the ESD (Electric Static Discharge) circuit 44 returned to a value of standard, and the signal modulated, or A signal The function to modulate The modulation/demodulator circuit which it has (Modulator/Demodulator) Agency of transfer of the data between DSP (Digital Signal Processing) 42 and the memory cell array 31 which have the function to process 43 and a digital signal, and a circumference circuit (data are held temporarily or) Perform taking the synchronization of transmission and reception of the data between a circumference circuit and the memory cell array 31 etc. It has the input/output controller (I/O controller 53) which controls I/O of the data of the first cache 51 and the second cache 52, and the memory cell array 31, and CPU (Micro processor) 41 which performs data processing of data.

[0406] With the conventional semiconductor memory, for example, DRAM, SRAM, and EEPROM, since MOSFET was included in a memory cell array, it needed to form on the principal plane of a semi-conductor substrate, and the memory cell array was formed as a result on the principal plane front face of the same semi-conductor substrate as each functional block.

[0407] A block diagram shows the configuration of MRAM1200 which starts the gestalt 7 of the operation of this invention to drawing 52 here.

[0408] The MRAM cel array MCA is overlapped and arranged in the upper part of the arrangement field of the circumference circuit CAB of the MRAM cel array MCA, i.e., a train address buffer, the train decoder CD,

train read-out / write-in control circuit CRW, the line address buffer RAB, the line decoder RD, and the line read-out / write-in control circuit RRW in drawing 52 .

[0409] In addition, since the configuration of a circumference circuit is the same as the configuration explained using drawing 26 and it is the same as that of the semiconductor memory from the former about other functional block, explanation is omitted.

[0410] Since the <G-2. operation effectiveness> MRAM cel array MCA contains only pn junction diode as a semiconductor device excluding MOSFET in the interior as explained using drawing 28 , drawing 31 , and drawing 33 , a formation field is not limited to the principal plane front face of a substrate.

[0411] Therefore, equipment area is reducible by forming various functional block on the principal plane front face of a substrate, and forming the MRAM cel array MCA in the upper layer including the configuration of those other than the MRAM cel array MCA, i.e., the circumference circuit of the MRAM cel array MCA.

[0412] A block diagram shows the configuration of MRAM1300 to <G-3. modification> drawing 53 as a modification of the gestalt of this operation.

[0413] As shown in drawing 53 , the MRAM cel array MCA is overlapped and arranged in the whole upper part of the field in which a circumference circuit and various functional block were formed in MRAM1300.

[0414] Thus, while the degree of freedom of selection of the arrangement location of the MRAM cel array MCA or magnitude will increase and being able to reduce equipment area by forming the MRAM cel array MCA, a circumference circuit, and various functional block in a separate layer, the selectivity of an equipment layout can also be raised.

[0415] MRAM concerning the gestalt 8 of operation of <gestalt 8 of H. operation> <description of gestalt of this operation> this invention is characterized by taking the gestalt of MCP (Multi Chip Package) which used a MRAM cel array, and the circumference circuit and various functional block of a MRAM cel array as the separate semiconductor chip, and was contained in one package by using both chips as a module.

[0416] The maximum formation temperature at the time of manufacture of the circumference circuit of a <introduction> MRAM cel array and various functional block is about 1000-1200 degrees C, and on the other hand, the maximum formation temperature at the time of manufacture of a MRAM cel array is decided by Curie temperature, and is about 400-700 degrees C.

[0417] When forming both on the same semi-conductor substrate, in order

to prevent the fault by the difference in formation temperature, the maximum formation temperature forms the MRAM cell array in the wiring process which is about 400-700 degrees C.

[0418] Therefore, in the production process of MRAM, the process became sequential, and there was a problem which requires a manufacturing cost.

[0419] On the other hand, in these days, the MCP structure which contained two or more semiconductor chips is being used for one package. When it was MRAM of a configuration of the artificer etc. having used a MRAM cell array, and the circumference circuit and various functional block of a MRAM cell array as the separate semiconductor chip, and having contained in one package by using both chips as a module in view of such the present condition, the above-mentioned problem reached the conclusion with solution, but in order to have obtained MRAM of MCP structure actually, it resulted in recognition that it cannot respond to MRAM, with the conventional package structure.

[0420] After explaining the technical problem for realizing MRAM of MCP structure hereafter, the configuration of MRAM2000 concerning the gestalt 8 of operation is explained.

[0421] As the mounting approach of the semiconductor chip which contains > semiconductor device about the MCP structure of the <H-1. former, although QFP (Quad FlatPackage) was used conventionally, there was a trouble that a component-side product was large. Then, CSP (Chip Size Package) which can be managed with the component-side product of the almost same magnitude as a chip area is beginning to be used in recent years. Since this mounting approach can be managed with a far small component-side product compared with QFP, it is used for LSI for cellular phones, DRAM for PC (Personal Computer), etc.

[0422] A sectional view shows an example of the configuration of conventional CSP to drawing 54 . In drawing 54 , a semiconductor chip 122 is contained inside the package 129 of a cube type, and the bottom principal plane of a semiconductor chip 122 is covered with the passivation film 123, and is protected from the external environment.

[0423] The passivation film 123 consists of insulator layers, such as a silicon nitride film and an acid silicon nitride film, two or more openings are prepared in the passivation film 123, and the chip electrode 132 used as the input/output terminal of a semiconductor chip 122 has composition which penetrates the passivation film 123.

[0424] As for a package 129, box-like [of closed-end ****] is inserted in a semiconductor chip 122 from nothing and its opening. Here, finally opening of a package 129 is covered by the base substrate 134. The body of the base substrate 134 concerned consists of insulating materials,

such as polyimide resin, and two or more solder bumps 125 for electric shielding and the solder bump 127 for signal transmissions are arranged in the principal plane which faced the outside.

[0425] The base substrate 134 has two or more internal wiring 130 and 131 which connects electrically the solder bump 125 for electric shielding, and the solder bump 127 for signal transmissions to an internal configuration.

[0426] The internal wiring 130 and 131 is connected to the carrier film 124 arranged on the principal plane which turned to each inside the base substrate 134. The carrier film 124 has the electric wiring (a pad is included) and the glue line 133 which were arranged on the insulating film so that it may explain later. The electrical signal from the solder bump 127 for signal transmissions is transmitted to a semiconductor chip 122 through the chip electrode 132 linked to the pad of the internal wiring 130 and the carrier film 124. Moreover, a glue line 133 pastes up the carrier film 124 and a semiconductor chip 122. In addition, although not shown in drawing 54, the carrier film 124 is pasted up by the glue line different also from the base substrate 134.

[0427] Moreover, in the interior of the base substrate 134, the electric shielding electrode 126 which consists of conductors is embedded. The plane view configuration of the electric shielding electrode 126 has structure with opening which can pass rectangle annular, without nothing and the internal wiring 130 contacting the electric shielding electrode 126. Drawing 54 is a sectional view in the location which cuts opening of the electric shielding electrode 126, and the broken line shows the opening concerned.

[0428] It is fixed to power-source potential or touch-down potential through the solder bump 125 for electric shielding, and the internal wiring 131, and the electric shielding electrode 126 can prevent that the internal wiring 130 gathers an external electric noise.

[0429] Moreover, electric shielding electrode 126b is arranged on the upper principal plane of the carrier film 124 so that a semiconductor chip 122 may be surrounded. A plane view configuration is a rectangle annular plate, it connects with the internal wiring 131 electrically through the electric wiring on the carrier film 124, and electric shielding electrode 126b is fixed to power-source potential or touch-down potential.

[0430] The stress relaxation film 135 is arranged so that electric shielding electrode 126b may be covered. The stress relaxation film 135 serves to ease the stress between a semiconductor chip 122 and the base substrate 134.

[0431] Although the cross-section configuration of the stress relaxation film 135 is originally a rectangle, it is inserted between the edge section of a semiconductor chip 122, and the carrier film 124, and while deforming, thickness becomes thin partially. That is, although stress concentrates on the part pinched by the edge section and the carrier film 124 of a semiconductor chip 122, stress is eased because thickness becomes thin.

[0432] Thermoplastic elastomer is used for the stress relaxation film 135. Although thermoplastic elastomer shows rubber elasticity in ordinary temperature, it is the polymeric materials which are plasticized at an elevated temperature and can perform various fabrication.

[0433] Moreover, an epoxy resin etc. is used for the binder of a semiconductor chip 122 and the stress relaxation film 135. To the coefficient of cubical expansion of thermoplastic elastomer being about 2.7×10^{-6} , the coefficient of cubical expansion of silicon is about 3.1×10^{-6} , and since the difference of a coefficient of cubical expansion is small, thermal stress can be eased.

[0434] In the semiconductor package, since there is a trouble of internal wiring becoming thin for a long time, and becoming easy to gather a noise in order to reconcile increase of the number of terminals, and the miniaturization of a package, the electric shielding electrode 126 and the solder bump 125 for electric shielding are arranged. Moreover, the thermal stress between a semiconductor chip 122 and the base substrate 134 becomes large, and in order to prevent that the dependability of electrical installation falls, the stress relaxation film 135 is arranged.

[0435] The function of the electric shielding electrode 126 is as having mentioned above, and the electric shielding electrode 126 is connected to the solder bump 125 for electric shielding through the internal wiring 131. And the solder bump 125 for electric shielding is arranged so that the perimeter of the solder bump 127 for signal transmissions may be surrounded, and it has the function to prevent that the internal wiring 130 gathers an external electrical noise through the solder bump 127 for signal transmissions. In addition, although illustration is omitted, the solder bump 125 for electric shielding and the solder bump 127 for signal transmissions are connected to the mother board on which wiring was printed.

[0436] Moreover, in the former, MCP structure was realized only in QFP. The cross-section configuration of the MCP structure which used QFP for drawing 55 is shown. In drawing 55, three semiconductor chips 102a,

102b, and 102c are accumulated and arranged in one package 107, and the closure is carried out by resin 106.

[0437] As an example, semiconductor chips 102a and 102c is [SRAM and semiconductor chip 102b] flash EEPROMs.

[0438] The internal wiring 109 connects between each semiconductor chip, and the electrical installation with the exterior is made with the external lead wire 113 through a bonding wire 112.

[0439] By considering as such a configuration, more memory space can be obtained to the same occupancy area rather than what has only one semiconductor chip in one package. So, there is much need to a Personal Digital Assistant.

[0440] However, compared with the chip area, the component-side product became large, and QFP had the trouble that external lead wire tends to gather a noise.

[0441] Thus, even if it made it CSP and made it QFP, there were merits and demerits, and since it will be necessary in MRAM to prevent further that the spin of a software ferromagnetic layer is reversed under the effect of an external magnetic field, the configuration of the conventional package was not employable as it was.

[0442] The configuration of MRAM2000 which starts the gestalt 8 of operation using drawing 56 - drawing 65 is explained below a <H-2. equipment configuration>.

[0443] The flat-surface configuration which looked at the cross-section configuration of MRAM2000 to drawing 56 , and looked at MRAM2000 from the lower part side to drawing 57 is shown. In addition, drawing 56 shows the cross section in the A-A line in drawing 57 .

[0444] As shown in drawing 56 , the semiconductor chip 122 containing the circumference circuit and various functional block of a MRAM cel array is contained by the screen SHB of the cube type which consists of conductors of high permeability, such as a permalloy (nickel80Fe20).

[0445] As an ingredient of Screen SHB, super MAROI (Mo5nickel79Fe16) other than a permalloy may be used as the software ferromagnetic used for example, for a MRAM memory cell, and an EQC and the ferromagnetic which has bigger permeability than it. Since the ferromagnetic with large coercive force may work as a permanent magnet and a surrounding electrical machinery and apparatus may be affected, the small ferromagnetic of coercive force is desirable. The ferrite of a permalloy, super MAROI, and Mn50Zn50 grade is an ingredient which fulfills this condition.

[0446] The stress relaxation film 235 which consists of thermoplastic elastomer is arranged in the internal surface of Screen SHB. The stress

relaxation film 235 serves to ease the stress of a semiconductor chip 122 and Screen SHB.

[0447] In the one side edge of the tubed outer frame section 237 from which Screen SHB serves as the body section, and the outer frame section 237, it is had and constituted and the stress relaxation film 235 is arranged [edge / the wrap up plate 238 and / of the outer frame section 237 / another side / plate / 236 / wrap lower] by the inside of the up plate 238 and the outer frame section 237.

[0448] Moreover, opening is prepared in the lower plate 236 and it has composition in which the internal wiring 130 connected to the semiconductor chip 122 penetrates the opening concerned.

[0449] As for a package 129, nothing and the screen SHB with the opening to the semiconductor chip 122 are inserted in box-like [of closed-end ****].

[0450] A package 129 is magnitude which contains Screen SHB and has still more spatial allowances, and the resin material 128 which consists of resin, such as an epoxy resin, is arranged between Screen SHB and the wall of a package 129.

[0451] Finally opening of a package 129 is covered by the base substrate 134. The body of the base substrate 134 concerned consists of insulating materials, such as polyimide resin, and two or more solder bumps 125 for electric shielding and the solder bump 127 for signal transmissions are arranged in the principal plane which faced the outside. In addition, the base substrate 134 is fixed by the adhesives applied to the carrier film 124 or the lower plate 236 grade.

[0452] The base substrate 134 has two or more internal wiring 130 and 131 which connects electrically the solder bump 125 for electric shielding, and the solder bump 127 for signal transmissions to an internal configuration.

[0453] The internal wiring 130 and 131 is arranged so that it may connect with the carrier film 124 arranged on the principal plane which turned to each inside the base substrate 134, and the internal wiring 131 is electrically connected to the lower plate 236 of Screen SHB through the pad and electric wiring which are arranged on the carrier film 124.

[0454] Moreover, the internal wiring 131 is electrically connected to the electric shielding electrode 126 which consists of conductors embedded to the interior of the base substrate 134. In addition, since some electric shielding electrodes 126 do not necessarily exist in the same cross section as the internal wiring 130 and 131, in drawing 56 , the broken line shows it.

[0455] In addition, the electric shielding electrode 126 is fixed to power-source potential or touch-down potential, and it serves for the internal wiring 130 to prevent gathering an external electric noise.

[0456] It connects with the pad (film electrode) prepared on the carrier film 124 directly, and the chip electrode 132 used as the input/output terminal of a semiconductor chip 122 is electrically connected to the internal wiring 130 through the film electrode and electric wiring by which patterning is carried out on the carrier film 124 concerned. In addition, the internal wiring 130 is connected to the solder bump 127 for signal transmissions.

[0457] The solder bump 127 for signal transmissions is a terminal for delivering and receiving an electrical signal with the semiconductor chip of the exterior and the interior, and the solder bump 125 for electric shielding is a terminal which fixes the potential of Screen SHB to touch-down potential.

[0458] Moreover, as shown in drawing 57 , the solder bump 125 for electric shielding is arranged so that the solder bump 127 for signal transmissions may be surrounded.

[0459] In addition, the solder bump 127 for signal transmissions and the solder bump 125 for electric shielding have the function which distributes the stress which joins the base substrate 134 to an installation substrate (mother board), and can reduce the stress which joins per solder bump by forming the solder bump 125 for electric shielding.

[0460] The outline of the mounting approach of MRAM2000 is explained using the <H-3. mounting approach> next drawing 58 - drawing 62 . In addition, drawing 58 - drawing 62 do not express correctly the configuration which shows the mounting approach of MRAM2000 typically and is shown in drawing 56 .

[0461] In drawing 58 , the carrier film 124 pasted the upper part of the base substrate 134, and the stress relaxation film 223 has pasted up on the carrier film 124.

[0462] The stress relaxation film 223 is arranged so that the arrangement field of the film electrode 219 in which rectangle annular was prepared by nothing and the carrier film 124 may be surrounded. Moreover, the rectangle annular slot 224 is formed in the stress relaxation film 223, and the lower plate 236 (drawing 56) of Screen SHB is arranged in the slot 224. In addition, the configuration in which the lower plate 236 was arranged in the slot 224 is shown in drawing 64 (a) and drawing 64 (b).

[0463] Moreover, although omitted, illustration is a next process, and

the outer frame section 237 (drawing 46) of Screen SHB is arranged along a slot 224, and it is connected to the lower plate 236.

[0464] In addition, since the stress relaxation film 223 is making rectangle annular, in the direction of X and the direction of Y which are shown in drawing 58 , stress can be eased similarly.

[0465] The film electrode 219 arranged on the carrier film 124 which is an insulator is connected to the solder bump 127 for signal transmissions through the internal wiring 130.

[0466] In addition, connection between each bump and each chip electrode can be set as arbitration by carrying out patterning of the film electrode 219 on the carrier film 124, and the internal wiring 130 suitably.

[0467] The glue line 133 other than the film electrode 219 is alternatively arranged by the carrier film 124. A glue line 133 is for pasting up a semiconductor chip 122 with the carrier film 124.

[0468] Next, in the process shown in drawing 59 , each chip electrode of a semiconductor chip 122 carries a semiconductor chip 122 so that each film electrode of the carrier film 124 may be contacted, and it fixes a semiconductor chip 122 by the glue line 133.

[0469] Drawing 60 shows the condition of having reversed the base substrate 134 of the condition which shows in drawing 59 , and the hemisphere solder bump formation hole 211 is arranged by the base substrate 134. The internal wiring 130 and 131 (refer to drawing 56) has reached the internal surface of the solder bump formation hole 211, and when a solder bump fills the inside of the solder bump formation hole 211 at a next process, a solder bump and the internal wiring 130 and 131 will be connected electrically. In addition, a conductive polymer may be used instead of a solder bump.

[0470] Drawing 61 shows the condition of having arranged the solder bump 127 for signal transmissions, and the solder bump 125 for electric shielding on the solder bump formation hole 211.

[0471] And after covering a semiconductor chip 122 by the screen SHB with the stress relaxation film 235 (drawing 56) inside, it inserts in the package 129 of closed-end ****, and as shown in drawing 62 , a configuration with the solder bump 127 for signal transmissions and the solder bump 125 for electric shielding is obtained at the rear face by pouring encapsulants, such as resin, into a clearance.

[0472] Here, the plane view configuration of the stress relaxation film 223 is explained to be the lower plate 236 which constitutes Screen SHB using drawing 63 , drawing 64 (a), and drawing 64 (b). In addition, drawing 63 shows the cross-section configuration of the outline in the

B-B line in drawing 56 , and drawing 64 (a) and drawing 64 (b) show the cross-section configuration in the C-C line and D-D line in drawing 63 . [0473] As shown in drawing 63 , the lower plate 236 consists of plates of the rectangle which has the rectangular opening OP in the center, and the rectangle annular electric shielding electrode 126 (drawing 56) electrically connected to the solder bump 125 for electric shielding is arranged at the base substrate 134 side. in addition, the dimension of the electric shielding electrode 126 -- the dimension of the lower plate 236, and abbreviation -- it is the same.

[0474] In addition, since the stress relaxation film 223 is arranged in the inside and the outside of the opening edge of Screen SHB and the stress relaxation film 235 (refer to drawing 56) is arranged inside [whole] Screen SHB, the stress from the outside which joins a semiconductor chip 231 and a semiconductor chip 232 can be reduced.

[0475] Since the semiconductor chip 122 containing a MRAM cel array was surrounded by the screen SHB covered from an external magnetic field according to MRAM2000 concerning the gestalt 8 of the operation explained beyond the <H-4. operation effectiveness>, it can prevent that the spin of a MRAM cel is reversed with an external magnetic field, and the direction of magnetization, i.e., data, is rewritten.

[0476] Moreover, since the stress relaxation film 223 is arranged in the inside and the outside of the opening edge of Screen SHB and the stress relaxation film 235 is arranged inside Screen SHB, it can reduce that the deflection of the installation substrate (mother board) which attaches MRAM2000, and the stress from the outside resulting from a temperature cycle join a semiconductor chip 122.

[0477] <H-5. modification 1> In addition, in MRAM2000 explained above, although the semiconductor chip to mount was shown as one, it is good like MRAM2100 shown in drawing 65 also as a configuration which lays semiconductor chip 122b (magnetic storage chip) containing a MRAM cel array on semiconductor chip 122a (circuit chip) in which the circumference circuit and various functional block of a MRAM cel array were contained.

[0478] Semiconductor chip 122a equips both principal planes with a chip electrode, and semiconductor chip 122a and semiconductor chip 122b are connected by the film electrode and electric wiring on carrier film 124b arranged among both. Moreover, adhesion immobilization of semiconductor chip 122a and the semiconductor chip 122b is carried out by the glue line 133.

[0479] In addition, since electric connection with semiconductor chip 122a and the solder bump 127 for signal transmissions is the same as

connection with the semiconductor chip 122 and the solder bump 127 for signal transmissions who show drawing 65 and it is fundamentally [as MRAM2000] the same except the point that the carrier film 124 is carrier film 124a, explanation is omitted.

[0480] Moreover, semiconductor chip 122a and semiconductor chip 122b may arrange vertical relation conversely. In that case, what is necessary is just to arrange a chip electrode in both sides of semiconductor chip 122b.

[0481] Moreover, the combination of the arbitration of a well-known semiconductor chip is [that the MRAM cel array should just be arranged by the chip of the method of one at least] possible for the combination of semiconductor chip 122a and semiconductor chip 122b.

[0482] In MRAM2100 shown in drawing 65 , since semiconductor chip 122a in which the circumference circuit and various functional block of a MRAM cel array were contained, and semiconductor chip 122b containing a MRAM cel array are manufactured separately and combined, it is not necessary to take the difference in formation temperature into consideration, and each formation temperature can be optimized. And since semiconductor chips 122a and 122b are manufactured separately, a production process advances to parallel and production time can be shortened.

[0483] In MRAM2000 shown in <H-6. modification 2> drawing 56 , although the ferromagnetic was used for the ingredient of Screen SHB instead, even if it uses the antiferromagnetic substance, such as IrMn 20-30atom.% Containing Ir (iridium), the same effectiveness is done so.

[0484] Moreover, Screen SHB may consist of multilayers of ferromagnetic 136a and antiferromagnetic substance 136b like MRAM2200 shown in drawing 66 . In that case, let similarly the electric shielding electrode 126 in the base substrate 134 be the multilayers of ferromagnetic 126a and antiferromagnetic substance 126b. In addition, the vertical relation of multilayers is not limited above.

[0485]

[Effect of the Invention] According to the magnetic storage according to claim 1 concerning this invention, since the easy axis whose at least one magnetic tunnel junction is the easy direction of magnetization of a software ferromagnetic layer is arranged so that it may have the include angle of 40 - 45 degrees to the extension direction of two or more bit lines and two or more word lines, with few write-in currents, it can reverse the direction of magnetization of a software ferromagnetic layer certainly, and can reduce the power consumption at the time of writing.

[0486] Since according to the magnetic storage according to claim 2

concerning this invention it is constituted by the rectangle so that the side parallel to an easy axis may become longer than the side which intersects perpendicularly with an easy axis in the plane view configuration of a magnetic tunnel junction, it can prevent that it becomes easy to define an easy axis and an easy axis changes with the anisotropies resulting from a configuration.

[0487] according to the magnetic storage according to claim 3 concerning this invention -- the 1st and 2nd change means -- the 1st and 2nd edges of a bit line -- the 1st -- since it can change and connect with the power source of a certain **** 2, a bidirectional current can be passed to a bit line, the direction of magnetization of a magnetic tunnel junction is changed to it, and it becomes it the writing of data, and eliminable.

[0488] According to the magnetic storage according to claim 4 concerning this invention, since the 1st and 2nd change means are constituted from the 1st of the same conductivity type - the 4th MOS transistor, manufacture becomes easy.

[0489] According to the magnetic storage according to claim 5 concerning this invention, the 1st change means is constituted from the 1st and 2nd MOS transistors of conductivity types differing. Since the 2nd change means is constituted from the 3rd and 4th MOS transistors from which a conductivity type differs On the other hand, the 1st and 2nd MOS transistors reach, and the burden which it becomes unnecessary to apply the electrical potential difference more than supply voltage to one control electrode of the 3rd and 4th MOS transistors in an ON state, and starts gate dielectric film can be made small.

[0490] According to the magnetic storage according to claim 6 concerning this invention, between the 1st [of the 1st and 2nd MOS transistors] main electrode, Since it has the 5th and 6th MOS transistor which will always be in an ON state between the 1st [of the 3rd and 4th MOS transistors] main electrode, respectively The stress electrical potential difference which joins one 1st main electrode of the 1st and 2nd MOS transistors and one 1st main electrode of the 3rd and 4th MOS transistors is reduced, the leakage current resulting from a stress electrical potential difference is reduced, and power consumption can be reduced.

[0491] Since the number of the memory cell directly connected to the same wiring by using two or more main word lines crossed to two or more memory cell arrays and the word line only over a single memory cell array in the magnetic storage which has two or more memory cell arrays decreases according to the magnetic storage according to claim 7

concerning this invention, load-carrying capacity is reduced. Consequently, the time delay resulting from load-carrying capacity can be shortened, and rapid access can be realized.

[0492] Since the number of the memory cell directly connected to the same wiring by using the word line only on magnetic storage equipped with two or more memory cell array groups which have two or more memory cell arrays, and over a single memory cell array, two or more main word lines crossed to two or more memory cell arrays, and two or more global word lines crossed to two or more memory cell array groups according to the magnetic storage according to claim 8 concerning this invention decreases, load-carrying capacity is reduced. Consequently, the time delay resulting from load-carrying capacity can be shortened, and rapid access can be realized.

[0493] Since the number of the memory cell directly connected to the same wiring by using two or more Main bit lines crossed to two or more memory cell arrays and the bit line only over a single memory cell array in the magnetic storage which has two or more memory cell arrays decreases according to the magnetic storage according to claim 9 concerning this invention, load-carrying capacity is reduced. Consequently, the time delay resulting from load-carrying capacity can be shortened, and rapid access can be realized.

[0494] Since the number of the memory cell directly connected to the same wiring by using the bit line only on magnetic storage equipped with two or more memory cell array groups which have two or more memory cell arrays, and over a single memory cell array, two or more Main bit lines crossed to two or more memory cell arrays, and two or more global bit lines crossed to two or more memory cell array groups according to the magnetic storage according to claim 10 concerning this invention decreases, load-carrying capacity is reduced. Consequently, the time delay resulting from load-carrying capacity can be shortened, and rapid access can be realized.

[0495] Since package elimination or the package writing of the data of two or more memory cells which have at least one magnetic tunnel junction can be carried out by having the inductor which generates a field in the direction in alignment with the easy axis which is the easy direction of magnetization of a software ferromagnetic layer according to the magnetic storage according to claim 11 concerning this invention, processing in a short time is attained.

[0496] According to the magnetic storage according to claim 12 concerning this invention, since a field is efficiently generated by the coiled form inductor, there is little power consumption in the case of

package-eliminating or package writing in the data of two or more memory cells, and it ends.

[0497] Since package elimination or the package writing of the data of two or more memory cells which have at least one magnetic tunnel junction can be carried out by equipping the outside of two or more bit lines and two or more word lines of at least one memory cell array with a flash plate bit line and a flash plate word line, and passing the current of the predetermined direction to these according to the magnetic storage according to claim 13 concerning this invention, processing in a short time is attained.

[0498] According to the magnetic storage according to claim 14 concerning this invention, in the magnetic storage with which two or more memory cell arrays were arranged in the shape of a matrix, since a flash plate bit line and a flash plate word line can also carry out package elimination or the package writing of the data of two or more memory cell arrays, the processing of them in a short time is attained by arranging so that a matrix may be constituted in accordance with the array of two or more memory cell arrays.

[0499] Since it has at least one inductor which saves the current of the selected bit line and a word line which flows to the method of one at least by LC resonance, and at least one capacitor according to the magnetic storage according to claim 15 concerning this invention, a write-in current can be recycled and the power consumption at the time of writing can be reduced.

[0500] According to the magnetic storage according to claim 16 concerning this invention, the concrete configuration for recycling the write-in current in a bit line can be obtained.

[0501] According to the magnetic storage according to claim 17 concerning this invention, the concrete configuration for recycling the write-in current in a word line can be obtained.

[0502] According to the magnetic storage according to claim 18 concerning this invention, it can prevent that the direction of magnetization of a magnetic tunnel junction is reversed with an external magnetic field, and data are rewritten in two or more memory cells containing at least one magnetic tunnel junction by containing at least one semiconductor chip to the electric shielding inside of the body which consists of conductors.

[0503] According to the magnetic storage according to claim 19 concerning this invention, since at least one semiconductor chip is held with the 1st and 2nd stress relaxation film, the stress from the outside can reduce joining two or more semiconductor chips.

[0504] dividing into a magnetic storage chip and a circuit chip including the circumference circuit of a memory cell array according to the magnetic storage according to claim 20 concerning this invention -- both -- it will manufacture separately, it is not necessary to take the difference in formation temperature into consideration, and each formation temperature can be optimized. Moreover, a production process advances to parallel and production time can be shortened.

[0505] According to the magnetic storage according to claim 21 concerning this invention, to a software ferromagnetic layer, or since a screen consists of ferromagnetics which have bigger permeability than it, it can cover an external magnetic field effectively.

[0506] According to the magnetic storage according to claim 22 concerning this invention, since a screen consists of the antiferromagnetic substance, it can cover an external magnetic field effectively.

[0507] According to the magnetic storage according to claim 23 concerning this invention, since a screen consists of multilayers of a ferromagnetic and the antiferromagnetic substance, it can cover an external magnetic field effectively.

[0508] Since it has at least the multilayers which form at least one magnetic tunnel junction arranged throughout the principal plane according to the magnetic-substance substrate according to claim 24 concerning this invention, when manufacturing the magnetic storage equipped with the memory cell which has at least one magnetic tunnel junction, a mere semi-conductor substrate can be prepared, a production process can be skipped compared with the case where multilayers are formed on the principal plane, and a manufacturing cost can be reduced.

[0509] According to the magnetic-substance substrate according to claim 25 concerning this invention, the magnetic-substance substrate suitable for manufacture of the magnetic storage equipped with the memory cell which has single MAG tunnel association is obtained.

[0510] According to the magnetic-substance substrate according to claim 26 concerning this invention, the semi-conductor substrate suitable for manufacture of the magnetic storage which equipped the lower part of single MAG tunnel association with the memory cell with pn junction diode is obtained.

[0511] Since at least one magnetic tunnel junction will be formed on the SOI substrate which can reduce the parasitic capacitance of MOSFET according to the magnetic-substance substrate according to claim 27 concerning this invention, the working speed of MOSFET can be made quick and a magnetic-storage working speed can also be made quick as a result.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the perspective view showing the configuration of a MRAM cel.

[Drawing 2] It is drawing showing the configuration of a general MRAM cel array.

[Drawing 3] It is drawing explaining actuation of a general MRAM cel array.

[Drawing 4] It is drawing showing the relation of a field required to reverse spin.

[Drawing 5] It is drawing showing the configuration of the MRAM cel array of the gestalt 1 of operation concerning this invention.

[Drawing 6] It is drawing explaining actuation of the MRAM cel array of the gestalt 1 of operation concerning this invention.

[Drawing 7] It is drawing showing the configuration of the MRAM cel array of the gestalt 1 of operation concerning this invention.

[Drawing 8] It is drawing explaining actuation of the MRAM cel array of the gestalt 1 of operation concerning this invention.

[Drawing 9] It is drawing explaining actuation of a general MRAM cel.

[Drawing 10] It is drawing explaining actuation of a general MRAM cel.

[Drawing 11] It is drawing explaining actuation of the MRAM cel of the gestalt 1 of operation concerning this invention.

[Drawing 12] It is drawing explaining actuation of the MRAM cel of the gestalt 1 of operation concerning this invention.

[Drawing 13] It is drawing explaining actuation of the MRAM cel of the gestalt 1 of operation concerning this invention.

[Drawing 14] It is drawing explaining actuation of the MRAM cel of the gestalt 1 of operation concerning this invention.

[Drawing 15] It is drawing showing the relation of a field required to reverse spin.

[Drawing 16] It is drawing explaining actuation of a general MRAM cel.

[Drawing 17] It is drawing explaining actuation of a general MRAM cel.

[Drawing 18] It is drawing explaining actuation of the MRAM cel of the gestalt 1 of operation concerning this invention.

[Drawing 19] It is drawing explaining actuation of the MRAM cel of the gestalt 1 of operation concerning this invention.

[Drawing 20] It is drawing explaining actuation of the MRAM cel of the gestalt 1 of operation concerning this invention.

[Drawing 21] It is drawing explaining actuation of the MRAM cel of the gestalt 1 of operation concerning this invention.

[Drawing 22] It is drawing explaining actuation of the MRAM cel of the gestalt 1 of operation concerning this invention.

[Drawing 23] It is drawing explaining actuation of the MRAM cel of the gestalt 1 of operation concerning this invention.

[Drawing 24] It is drawing explaining actuation of the MRAM cel of the gestalt 1 of operation concerning this invention.

[Drawing 25] It is drawing explaining actuation of the MRAM cel of the gestalt 1 of operation concerning this invention.

[Drawing 26] It is the block diagram showing the configuration of MRAM concerning the gestalt 2 of operation of this invention.

[Drawing 27] It is the circuit diagram showing the configuration of MRAM concerning the gestalt 2 of operation of this invention.

[Drawing 28] It is the timing chart which shows actuation of MRAM concerning the gestalt 2 of operation of this invention.

[Drawing 29] It is drawing showing the applied-voltage dependency of the rate of change of magnetic tunnel resistance.

[Drawing 30] It is drawing showing the configuration of a double MAG tunnel junction.

[Drawing 31] It is the circuit diagram showing the configuration of MRAM concerning the gestalt 2 of operation of this invention.

[Drawing 32] It is the timing chart which shows actuation of MRAM concerning the gestalt 2 of operation of this invention.

[Drawing 33] It is the circuit diagram showing the configuration of MRAM concerning the gestalt 2 of operation of this invention.

[Drawing 34] It is the configuration **** block diagram which divided the word line of MRAM concerning the gestalt 3 of operation of this invention.

[Drawing 35] It is the configuration **** block diagram which hierarchized the word line of MRAM concerning the gestalt 3 of operation of this invention.

[Drawing 36] It is the configuration **** conceptual diagram which hierarchized the word line of MRAM concerning the gestalt 3 of operation of this invention.

[Drawing 37] It is the configuration **** block diagram which divided the bit line of MRAM concerning the gestalt 3 of operation of this invention.

[Drawing 38] It is the configuration **** block diagram which

hierarchized the bit line of MRAM concerning the gestalt 3 of operation of this invention.

[Drawing 39] It is the perspective view showing the configuration of MRAM concerning the gestalt 4 of operation of this invention.

[Drawing 40] It is a sectional view explaining actuation of MRAM concerning the gestalt 4 of operation of this invention.

[Drawing 41] It is a sectional view explaining actuation of MRAM concerning the gestalt 4 of operation of this invention.

[Drawing 42] It is a sectional view explaining actuation of MRAM concerning the gestalt 4 of operation of this invention.

[Drawing 43] It is the top view showing the configuration of the modification of MRAM concerning the gestalt 4 of operation of this invention.

[Drawing 44] It is the sectional view showing the configuration of the modification of MRAM concerning the gestalt 4 of operation of this invention.

[Drawing 45] It is the sectional view showing the configuration of the modification of MRAM concerning the gestalt 4 of operation of this invention.

[Drawing 46] It is the top view showing the configuration of the modification of MRAM concerning the gestalt 4 of operation of this invention.

[Drawing 47] It is the top view showing the configuration of MRAM concerning the gestalt 5 of operation of this invention.

[Drawing 48] It is the top view showing the configuration of MRAM concerning the gestalt 5 of operation of this invention.

[Drawing 49] It is the sectional view showing the configuration of the semi-conductor substrate concerning the gestalt 6 of operation of this invention.

[Drawing 50] It is the sectional view showing the configuration of the semi-conductor substrate concerning the gestalt 6 of operation of this invention.

[Drawing 51] It is the block diagram showing the configuration of general MRAM.

[Drawing 52] It is the block diagram showing the configuration of MRAM concerning the gestalt 7 of operation of this invention.

[Drawing 53] It is the block diagram showing the configuration of MRAM concerning the gestalt 7 of operation of this invention.

[Drawing 54] It is the sectional view showing the configuration of package-ized general MRAM.

[Drawing 55] It is the sectional view showing the configuration of

package-sized general MRAM.

[Drawing 56] It is the sectional view showing the configuration of MRAM concerning the gestalt 8 of operation of this invention.

[Drawing 57] It is the top view showing the configuration of MRAM concerning the gestalt 8 of operation of this invention.

[Drawing 58] It is the perspective view showing the production process of MRAM concerning the gestalt 8 of operation of this invention.

[Drawing 59] It is the perspective view showing the production process of MRAM concerning the gestalt 8 of operation of this invention.

[Drawing 60] It is the perspective view showing the production process of MRAM concerning the gestalt 8 of operation of this invention.

[Drawing 61] It is the perspective view showing the production process of MRAM concerning the gestalt 8 of operation of this invention.

[Drawing 62] It is the perspective view showing the production process of MRAM concerning the gestalt 8 of operation of this invention.

[Drawing 63] It is a top view explaining the partial configuration of MRAM concerning the gestalt 8 of operation of this invention.

[Drawing 64] It is a sectional view explaining the partial configuration of MRAM concerning the gestalt 8 of operation of this invention.

[Drawing 65] It is the sectional view showing the configuration of MRAM concerning the gestalt 8 of operation of this invention.

[Drawing 66] It is the sectional view showing the configuration of MRAM concerning the gestalt 8 of operation of this invention.

[Drawing 67] It is drawing showing the concept of a magnetic tunnel junction.

[Drawing 68] It is drawing showing the density of states of transition metals typically.

[Drawing 69] It is a mimetic diagram explaining a tunnel magneto-resistive effect.

[Drawing 70] It is a mimetic diagram explaining a tunnel magneto-resistive effect.

[Drawing 71] It is drawing showing the example of a configuration of a magnetic tunnel junction.

[Drawing 72] It is drawing showing the example of a configuration of a magnetic tunnel junction.

[Drawing 73] It is drawing showing the example of a spin bulb mold ferromagnetism tunnel junction component.

[Drawing 74] It is drawing showing the observation property of a spin bulb mold ferromagnetism tunnel junction component.

[Drawing 75] It is the perspective view showing the configuration of the conventional MRAM cel array.

[Drawing 76] It is the perspective view showing the configuration of the conventional MRAM cel array.

[Drawing 77] It is the representative circuit schematic of the conventional MRAM cel array.

[Drawing 78] It is drawing explaining actuation of the conventional MRAM cel array.

[Description of Notations]

MC2, MC3 64 A MRAM cel, 83 66 A sub word line, 85,166 MRAM cel array, 67 84 A main word line, 87 861 A global word line, 1861 Memory cell array group, 164,183 A sub bit line, 167,184 Maine bit line, 187 The solder bump for global bit line and 125 electric shielding, 223,235 The stress relaxation film, 127 The solder bump for signal transmissions, 122 A semiconductor chip, ID An inductor, FBL A flash plate bit line, FWL A flash plate word line, SHB Screen.

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開2002-231904

(P2002-231904A)

(43)公開日 平成14年8月16日(2002.8.16)

(51)Int.Cl. ⁷	識別記号	F I	テ-コ-ト*(参考)
H 0 1 L 27/105		G 1 1 C 11/14	A 5 E 0 4 9
G 1 1 C 11/14			5 F 0 8 3
	11/15	H 0 1 F 10/08	
H 0 1 F 10/08			
	10/32	H 0 1 L 43/08	Z
		審査請求 未請求 請求項の数27 O L (全 49 頁) 最終頁に続く	

(21)出願番号 特願2001-29426(P2001-29426)

(22)出願日 平成13年2月6日(2001.2.6)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 國清 辰也

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 永久 克己

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100089233

弁理士 吉田 茂明 (外2名)

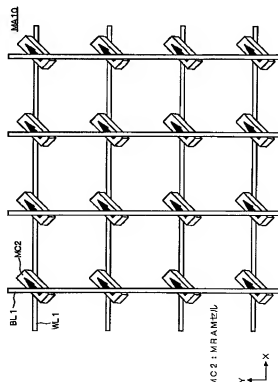
最終頁に続く

(54)【発明の名称】 磁気記憶装置および磁性体基板

(57)【要約】

【課題】 書き込み時の消費電力を低減したMRAMを提供するとともに、消去および書き込みに費やす時間を低減したMRAMを提供する。

【解決手段】 互いに平行に配設された複数のワード線WL1の上部において交差するように、互いに平行に配設された複数のビット線BL1が配設されている。そして、ワード線およびビット線で挟まれる各交点にMRAMセルMC2が形成されている。そして、矢印で示すイージークラスが、ビット線およびワード線に対して45度傾くように各MRAMセルMC3が配設されている。



【特許請求の範囲】

【請求項1】 非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線と、

前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセルとを備えた磁気記憶装置であって、

前記複数のメモリセルは、前記複数のビット線のうちの1本および前記複数のワード線のうちの1本の間にそれぞれ配設され、

前記少なくとも1つの磁気トンネル接合は、磁化の方向が変更可能なソフト強磁性体層を有し、

前記少なくとも1つの磁気トンネル接合は、前記ソフト強磁性体層の磁化の容易な方向であるイーザーアックスが、前記複数のビット線および前記複数のワード線の延在方向に対して40～50度の角度を有するように配設される、磁気記憶装置。

【請求項2】 前記磁気トンネル接合は、前記イーザーアックスに平行な辺が、前記イーザーアックスに直交する辺よりも長くなるように、平面視形状が矩形に構成される、請求項1記載の磁気記憶装置。

【請求項3】 非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線と、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセルとを備えた磁気記憶装置であって、

前記複数のビット線の第1の端部にそれぞれ接続され、前記第1の端部と第1の電源あるいは第2の電源との電気的な接続を切り替え可能な複数の第1の切り替え手段と、

前記複数のビット線の第2の端部にそれぞれ接続され、前記第2の端部と前記第1の電源あるいは前記第2の電源との電気的な接続を切り替え可能な複数の第2の切り替え手段と、を備える、磁気記憶装置。

【請求項4】 前記第1の切り替え手段は、前記複数のビット線の第1の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2の電源に接続された同一導電型の第1および第2のMOSトランジスタを有し、

前記第2の切り替え手段は、前記複数のビット線の第2の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2の電源に接続された同一導電型の第3および第4のMOSトランジスタを有する、請求項3記載の磁気記憶装置。

【請求項5】 前記第1の切り替え手段は、前記複数のビット線の第1の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2の電源に接続された導電型の異なる

第1および第2のMOSトランジスタを有し、

前記第2の切り替え手段は、前記複数のビット線の第2の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2の電源に接続された導電型の異なる第3および第4のMOSトランジスタを有する、請求項3記載の磁気記憶装置。

【請求項6】 前記第1および第2のMOSトランジスタのそれぞれ前記第1の主電極間に接続された、前記第2のMOSトランジスタと同一導電型の第5のMOSトランジスタと、

前記第3および第4のMOSトランジスタのそれぞれ前記第1の主電極間に接続された、前記第4のMOSトランジスタと同一導電型の第6のMOSトランジスタと、をさらに備え、

前記第5および第6のMOSトランジスタの制御電極は、常時オン状態となる所定電圧を与える第3の電源に接続される、請求項5記載の磁気記憶装置。

【請求項7】 非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセル、

で構成される複数のメモリセルアレイと、前記複数のメモリセルアレイに渡る複数のメインワード線と、

前記複数のメモリセルアレイの個々に対応して配設された複数のメモリセルアレイ選択線と、を有した、少なくとも1のメモリセルアレイ群を備え、

前記複数のワード線は、前記複数のメインワード線と前記複数のメモリセルアレイ選択線との交差部にそれぞれ設けられた第1の組み合わせ論理ゲートの出力にそれぞれ接続され、

前記第1の組み合わせ論理ゲートの入力は、交差状態にある前記複数のメインワード線の1本と前記複数のメモリセルアレイ選択線の1本とに接続される、磁気記憶装置。

【請求項8】 前記少なくとも1のメモリセルアレイ群を複数有し、前記複数のメモリセルアレイ群に渡る複数のグローバルワード線と、

前記複数のメモリセルアレイ群の個々に対応して配設された複数のメモリセルアレイ群選択線とをさらに有し、前記複数のメインワード線は、前記複数のグローバルワード線と前記複数のメモリセルアレイ群選択線との交差部にそれぞれ設けられた第2の組み合わせ論理ゲートの出力にそれぞれ接続され、

前記第2の組み合わせ論理ゲートの入力は、交差状態にある前記複数のグローバルワード線の1本と前記複数のメモリセルアレイ群選択線の1本とに接続される、請求

項7記載の磁気記憶装置。

【請求項9】 非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセル、で構成される複数のメモリセルアレイと、前記複数のメモリセルアレイに渡る複数のメインビット線と、前記複数のメモリセルアレイの個々に対応して配設された複数のメモリセルアレイ選択線とを有した、少なくとも1つのメモリセルアレイ群とを備え、

前記複数のビット線は、前記複数のメインビット線と前記複数のメモリセルアレイ選択線との交差部にそれぞれ設けられた第1の組み合わせ論理ゲートの出力にそれぞれ接続され、

前記第1の組み合わせ論理ゲートの入力は、交差状態にある前記複数のメインビット線の1本と前記複数のメモリセルアレイ選択線の1本とに接続される、磁気記憶装置。

【請求項10】 前記少なくとも1つのメモリセルアレイ群を複数有し、前記複数のメモリセルアレイ群に渡る複数のグローバルビット線と、前記複数のメモリセルアレイ群の個々に対応して配設された複数のメモリセルアレイ群選択線とをさらに有し、前記複数のメインビット線は、前記複数のグローバルビット線と前記複数のメモリセルアレイ群選択線との交差部にそれぞれ設けられた第2の組み合わせ論理ゲートの出力にそれぞれ接続され、

前記第2の組み合わせ論理ゲートの入力、は、交差状態にある前記複数のグローバルビット線の1本と前記複数のメモリセルアレイ群選択線の1本とに接続される、請求項9記載の磁気記憶装置。

【請求項11】 非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセル、で構成されるメモリセルアレイと、インダクタとを備え、

前記少なくとも1つの磁気トンネル接合は、磁化の方向が変更可能なソフト強磁性体層を有し、前記インダクタは、前記ソフト強磁性体層の磁化の容易な方向であるイージーアクセスに沿った方向に磁界を発生させる、磁気記憶装置。

【請求項12】 前記少なくとも1つの磁気トンネル接合は、前記イージーアクセスが、前記複数のビット線または前記複数のワード線の延在方向に合致するように配設さ

れ、

前記インダクタは、

前記イージーアクセスの方向と合致する前記複数のビット線または前記複数のワード線の延在方向に沿って、前記メモリセルアレイを取り巻くように配設されたコイル状のインダクタである、請求項11記載の磁気記憶装置。

【請求項13】 非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセル、

で構成される少なくとも1つのメモリセルアレイと、前記少なくとも1つのメモリセルアレイの、前記複数のビット線および前記複数のワード線の外側にそれぞれ設けられ、前記複数のビット線および前記複数のワード線の形成領域を覆う平板状の少なくとも1つのフラッシュビット線と、少なくとも1つのフラッシュワード線と、を備える磁気記憶装置。

【請求項14】 前記少なくとも1つのメモリセルアレイを複数有し、前記複数のメモリセルアレイはマトリックス状に配設され、

前記少なくとも1つのフラッシュビット線および、少なくとも1つのフラッシュワード線は、前記複数のメモリセルアレイの配列に沿って、マトリックスを構成するようにそれぞれ複数配設される、請求項13記載の磁気記憶装置。

【請求項15】 非接触で交差して、マトリックスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセル、

で構成されるメモリセルアレイと、前記複数のビット線および複数のワード線の少なくとも1方の2つの端部にそれぞれ配設され、選択されたビット線およびワード線の少なくとも1方に流れる電流を、LC共振によって保存する少なくとも1つのインダクタと、少なくとも1つのキャパシタと、を備える磁気記憶装置。

【請求項16】 前記少なくとも1つのインダクタおよび、前記少なくとも1つのキャパシタを複数有し、前記複数のビット線は、2つが対となって複数のビット線対を構成し、

前記複数のインダクタは、前記複数のビット線対のそれぞれに対応して、ビット線間に電気的に接続されるように配設された複数の第1のインダクタを含み、前記複数のキャパシタは、前記複数のインダクタの配設側とは反対の端部において、前記複数のビット線のそれぞれに対応して電気的に接続される複数の第1のキャパ

シタを含む、請求項 15 記載の磁気記憶装置。

【請求項 17】 前記複数のワード線は、2つが対となつて複数のワード線対を構成し、

前記複数のインダクタは、前記複数のワード線対のそれぞれに対応して、ワード線間に電氣的に接続されるように配設された複数の第 2 のインダクタをさらに含み、前記複数のキャパシタは、前記複数のインダクタの配設とは反対の端部において、前記複数のワード線のそれぞれに対応して電氣的に接続される複数の第 2 のキャパシタをさらに含み、請求項 16 記載の磁気記憶装置。

【請求項 18】 少なくとも 1 つの半導体チップと、導体で構成され、前記少なくとも 1 つの半導体チップを収納する遮蔽体と、

樹脂で構成され、前記遮蔽体を収納するパッケージと、前記パッケージの開閉部を閉じて密閉する底面基板と、前記底面基板の外側面に配設され、前記少なくとも 1 つの半導体チップと外部との信号伝送を行う信号伝送用パンプと、

前記信号伝送用パンプを囲むように配設され、前記遮蔽体に電氣的に接続される遮蔽用パンプと、を備え、

前記少なくとも 1 つの半導体チップは、

少なくとも 1 つの磁気トンネル接合を含む複数のメモリセルを有して構成されるメモリセルアレイを備えた磁気記憶チップを含む、磁気記憶装置。

【請求項 19】 前記遮蔽体の開口部磁気緑の内側および外側に配設された第 1 の応力緩和膜と、前記遮蔽体の内壁に配設された第 2 の応力緩和膜とをさらに備える、請求項 18 記載の磁気記憶装置。

【請求項 20】 前記少なくとも 1 つの半導体チップは、前記メモリセルアレイの周辺回路を含む回路チップをさらに含み、前記磁気記憶チップおよび前記回路チップは上下に重ねられて前記遮蔽体内に収納される、請求項 19 記載の磁気記憶装置。

【請求項 21】 前記少なくとも 1 つの磁気トンネル接合は、磁化の方向が変更可能なソフト強磁性体層を有し、

前記遮蔽体は、

前記ソフト強磁性体層と同等か、それよりも大きな透磁率を有する強磁性体で構成される、請求項 18 記載の磁気記憶装置。

【請求項 22】 前記遮蔽体は、反強磁性体で構成される、請求項 18 記載の磁気記憶装置。

【請求項 23】 前記遮蔽体は、強磁性体と反強磁性体との多層膜で構成される、請求項 18 記載の磁気記憶装置。

【請求項 24】 主面全域に配設された、少なくとも 1 つの磁気トンネル接合を形成する多層膜を少なくとも有する磁性体基板。

【請求項 25】 前記多層膜は、前記少なくとも 1 つの磁気トンネル接合として、順に配設された、反磁性体層、強磁性体層、絶縁体で構成されるトンネルバリア層およびソフト強磁性体層を含む、請求項 24 記載の磁性体基板。

【請求項 26】 前記多層膜は、前記少なくとも 1 つの磁気トンネル接合の下部に配設され、pn 接合を構成する第 1 導電型不純物層と第 2 導電型不純物層との 2 層膜をさらに含み、請求項 25 記載の磁性体基板。

【請求項 27】 前記磁性体基板は、土台となる基板部と、該基板部に配設された埋め込み酸化膜と、該埋め込み酸化膜上に配設された SOI 層とを備える SOI 基板上に前記多層膜を有する、請求項 24 記載の磁性体基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は磁気記憶装置に関し、特に、磁気トンネル接合を個々のメモリセルとして利用する不揮発性メモリアレイを有した磁気記憶装置に関する。

【0002】

【従来の技術】<トンネル磁気抵抗効果>絶縁体を 2 つの強磁性体で挟んだ構造を磁気トンネル接合 (Magnetic Tunnel Junction: MTJ) と呼称する。

【0003】図 67 に MTJ の概念図を示す。図 67 において、強磁性体層 F M 2 1 および F M 2 2 によって絶縁層 T B が挟まれるように配設され、強磁性体層 F M 2 1 および F M 2 2 には電圧が印加される構成となっている。

【0004】この構造において、絶縁層 T B をトンネルする電流を測定すると、2 つの強磁性体層の磁化の向きによって電流値が異なる現象が観測される。

【0005】この現象はトンネル磁気抵抗 (Tunnel Magnetic Resistance: TMR) 効果と呼称される。TMR 効果について図 68 ～図 70 を用いて説明する。

【0006】図 68 は遷移金属の状態密度 $N(E)$ の模式図を示している。図 68 においては、横軸に状態密度を、縦軸にエネルギー E を示し、原子が有する電子をスピンの向きで分類して示している。すなわち、図 68 に向かって左側にスピンの向きが下向きの電子を有する原子の状態密度を示し、向かって右側にスピンの向きが上向きの電子を有する原子の状態密度を示す。

【0007】また、図 68 においては、3 d 軌道と 4 s 軌道のうち、フェルミ準位まで電子が充填されている原子を模式的に示すため、フェルミ準位を境界として、フェルミ準位まで電子が充填されている原子をハッチングで示している。

【0008】遷移金属が強磁性体になるのは、フェルミ準位まで電子が充填されている原子のうち、3 d 軌道の電子において、上向きスピンの数と下向きスピンの

数が異なるためである。

【0009】すなわち、4s軌道の電子は上向きのスピンの数と下向きのスピンの数が同じであるので磁性の発生には寄与しない。

【0010】図69および図70はTMR効果を模式的に示す図である。図69では、絶縁層TBの左側の強磁性体層FM21を構成する原子の3d軌道のうち、下向きのスピンの電子を有する原子の状態密度が上向きのスピンの電子を有する原子の状態密度より多いので、全体として磁化の向きは下向きになる。

【0011】絶縁層TBの右側の強磁性体層FM22も同じく全体として磁化の向きが下向きになる。

【0012】電子のトンネリングは、主に始状態と終状態のスピンの向きを保存するように起こる。図69の場合、始状態（強磁性体層FM21内）と終状態（強磁性体層FM22内）の下向きのスピン状態密度がともに大きいので、トンネル確率は大きくなり、トンネル電流も大きくなる。すなわち、トンネル磁気抵抗は小さくなる。

【0013】一方、図70では始状態（強磁性体層FM21内）の上向きのスピンの電子を有する原子の状態密度が大きい、終状態（強磁性体層FM22内）の上向きのスピンの電子を有する原子の状態密度が小さいため、トンネル確率は小さくなり、トンネル電流も小さくなる。すなわち、トンネル磁気抵抗は大きくなる。

【0014】ここで、2つの強磁性体層の磁化の向きが互いに同じである場合の抵抗を R_F 、反対方向を向いている場合の抵抗を R_{AF} とすると、トンネル磁気抵抗変化率（Tunnel Magnetic Resistance Rate: TMRR）は次式で表される。

【0015】

【数1】

$$TMRR = \frac{R_{AF} - R_F}{R_A} = \frac{P_1 P_2}{1 - P_1 P_2} \quad \dots (1)$$

【0016】なお、上記数式（1）において、 P_1 、 P_2 は、それぞれ強磁性体層FM21およびFM22のスピン分極率である。

【0017】そして、 σ スピンバンドのフェルミ面での状態密度を $D\sigma(E_F)$ とするとスピン分極率は次に式で表される。

【0018】

【数2】

$$P = \frac{D\uparrow(E_F) - D\downarrow(E_F)}{D\uparrow(E_F) + D\downarrow(E_F)} \quad \dots (2)$$

【0019】すなわち、スピン分極率はフェルミ面での上向きスピンと下向きスピンの状態密度差が大きいほど大きくなる。また、スピン分極率が1に近づくほど、TMRRは大きくなる。また、スピン分極と磁化は比例することが知られている。ここで、表1に各種磁性体のスピン分極率をまとめて示す。

【0020】

【表1】

材料	スピン分極率
Fe	0.44
Co	0.35
Ni	0.23
Ni ₈₀ Fe ₂₀	0.25, 0.45
FeCo	0.53
NiMnSb	1, 0.58
PtMnSb	1
CrO ₂	1
Fe ₃ O ₄	1
(La・Sr)MnO ₃	1

【0021】以上説明したTMR効果を利用して、2つの強磁性体層の磁化方向を、0あるいは1に対応させてデータを記憶する装置がMRAM（Magnetic Random Access Memory）である。

【0022】従って、MTJの2つの強磁性体層の一方のみ磁化方向を変えたいが、図67の構造では磁界をかけると両方の強磁性体層とも磁化の方向が変わってしまう場合がある。そこで、一方の強磁性体層の磁化方向を固定する目的で、図71に示すように、一方の強磁性体層の上に反強磁性体層が形成された構造が提案されている。

【0023】図71において、絶縁層TBを強磁性体層FM21およびFM22で挟み、強磁性体層FM21の上部には反強磁性体層AFが配設されている。なお、反強磁性体層AFには直流電源の正電極を、強磁性体層FM22には負電極を接続している。

【0024】強磁性体と反強磁性体を隣接して形成すると、両者を貫く磁束が閉じることにより磁化の方向が固定される。この構造をスピンバルブ型強磁性トンネル接合素子と呼称する。

【0025】また、図72にスピンバルブ型強磁性トンネル接合素子の変形例の構成を示す。図72において、絶縁層TBを強磁性体層FM21およびFM22で挟み、強磁性体層FM21の上部には反強磁性体層AFを配設し、強磁性体層FM22の下部には強磁性体層FM23を配設している。

【0026】ここで、反強磁性体層AFは、例えばIr（イリジウム）を20～30atom.%含むIrMnで構成され、強磁性体層FM21の磁化の方向を固定するが、磁化の方向は外部磁界に対して反転しにくい方がよいので、強磁性体層FM21としては保磁力が大きなCoFeが用いられている。

【0027】また、数式（1）を用いて説明したように、トンネル磁気抵抗変化率（TMRR）はスピン分極率が大きい方が大きくなるので、スピン分極率が大きい材料としてCoFeが用いられている。

【0028】一方、強磁性体層FM22にも同じCoFe

e が用いられているが、強磁性体層 F M 2 2 はなるべく小さな外部磁界により磁化の方向が制御できるように、保磁力が小さな材料の方が望ましい。

【0029】図 7 2 の構成においては、強磁性体層 F M 2 2 の磁化の向きを反転しやすくする目的で、強磁性体層 F M 2 3 として保磁力とスピントランスが小さな $\text{Ni}_{80}\text{Fe}_{20}$ (パーマロイ) を使用する。これにより、強磁性体層 F M 2 2 は小さな外部磁界で磁化の向きを反転させることができる。

【0030】図 7 3 は図 7 2 に示すスピナルバルブ型強磁性トンネル接合素子の実際の構成を示し、図 7 4 は当該構成における TMR の実測特性を示している。

【0031】図 7 3 において、基板 B D 上に平面的に配設された反強磁性体層 A F および強磁性体層 F M 2 1 の積層体上部に絶縁層 T B が配設され、絶縁層 T B の上部に強磁性体層 F M 2 3 が配設されている。このような構成において、外部磁界を印加して、磁気抵抗 MR の変化を測定した結果が図 7 4 である。

【0032】図 7 4 においては、横軸に磁界 (1 エルステッド=約 79 A/m で換算)、縦軸にトンネル磁気抵抗率 (TMR) を示している。図 7 4 からは、TMR が 36% の値を実現していること、磁化の方向の反転に必要な磁界が約 30 ($\times 79 \text{ A/m}$) 程度と低いこと、磁界の方向に対して対称なヒステリシスが得られていることが判る。

【0033】<MRAM の構造と動作原理>MRAM ではメモリセルを構成する磁気トンネル接合素子の 2 つの強磁性体の磁化の方向が同じ、あるいは、相反する方向になるように外部磁界で制御し、磁化の方向が同じ、あるいは、相反する方向の状態を 0、あるいは 1 に対応させてデータを記憶する。

【0034】記憶されたデータは、メモリセルに所定の電流を流してトンネル磁気抵抗の両端電圧をセンスすることにより読み出すことができる。そして、トンネル磁気抵抗値の変化率 (TMR) が大きいほどセンスしやすいので、スピントランスが大きな強磁性体材料が MRAM には有利である。

【0035】また、データの書き込みは、配線 (ワード線およびビット線) に所定電流を流して発生した磁界を用いて、一方の強磁性体の磁化の方向を変えれば良い。

【0036】<MRAM セルの構造>以下、MRAM の従来例として、米国特許 US 5,793,697 で公開されている MRAM について構造および動作を説明する。

【0037】図 7 5 は MRAM セルアレイとセルを示す斜視図である。図 7 5 において、互いに平行に配設されたワード線 1、2 および 3 の上部において交差するように、ビット線 4、5 および 6 が互いに平行に配設されている。

【0038】そして、ワード線およびビット線で挟まれ

る各交点に MRAM セル (以後、単にセルと呼称する場合もあり) 9 が形成されている。図 7 5 において拡大図として示すように、MRAM セル 9 はワード線の上にシリコン p n 接合ダイオード 7 と磁気トンネル接合素子 (MTJ) 8 が積層された構造である。

【0039】図 7 6 は MRAM セル 9 の断面構造を示す模式図である。なお、図 7 6 においてはワード線 3 上の MRAM セル 9 を例示しており、シリコン基板 8 0 の上にワード線 3 が配設され、その上に n⁺シリコン層 10 と p⁺シリコン層 11 が積層され、p n 接合ダイオード 7 が形成されている。p n 接合ダイオード 7 はシリコン酸化膜 13 等の絶縁膜で被覆される。

【0040】そして、p n 接合ダイオード 7 の上部にはタングステンスタッド 12 が配設され、p n 接合ダイオード 7 はタングステンスタッド 12 を介して MTJ 8 に電気的に接続されている。なお、シリコン酸化膜 13 はタングステンスタッド 12 も覆うように配設され、タングステンスタッド 12 とシリコン酸化膜 13 の表面は CMP (Chemical Mechanical Polishing) で平坦化されている。

【0041】MTJ 8 は積層構造であり、下から順に、白金 (Pt) で構成されるテンプレート層 15 (膜厚 10 nm)、Ni₈₁Fe₁₉ のパーマロイで構成される初期強磁性体層 16 (膜厚 4 nm)、Mn₅₄Fe₄₆ で構成される反磁性体層 18 (膜厚 10 nm)、CoFe あるいは Ni₈₁Fe₁₉ のパーマロイで構成され、磁化方向が固定された強磁性体層 20 (膜厚 8 nm)、Al₂O₃ で構成されるトンネルバリア層 22、膜厚 2 nm の CoFe と膜厚 20 nm の Ni₈₁Fe₁₉ の多層膜で構成されるソフト強磁性体層 24、Pt で構成されるコンタクト層 25 を備えている。

【0042】なお、トンネルバリア層 22 は、膜厚 1~2 nm の Al を堆積後、プラズマ酸化法により 100 m Torr の酸素圧力下で 25 W/cm² のパワー密度で 60~240 秒間処理して形成される。

【0043】また、図 7 6 には示さないが、実際には基板 80 上のシリコン酸化膜 13 の全面に 1 つの大きな MTJ を形成し、これをフォトリソグラフィを用いてアルゴンイオンミリングでパターニングして、図 7 6 に示す小さな MTJ 8 を複数の形成する。個々の MTJ 8 はシリコン酸化膜 26 で被覆されている。また、図 7 6 には示されていないが、コンタクト層 25 はビット線に接続する。

【0044】MTJ 8 の磁気トンネル抵抗は、先に説明したようにソフト強磁性体層 24 の磁化の方向が、強磁性体層 20 の磁化の方向と同じである場合と、反対方向を向いている場合とで異なる。ソフト強磁性体層 24 の磁化の方向は、ビット線とワード線を通る電流により生成された磁界で変化させることができる。

【0045】また、MTJ 8 の磁気トンネル抵抗は、ト

ンネルバリア層22の膜厚、および、そのバリアハイトと、接合の下の界面のラフネス等の膜の材質特性にも大きく依存する。

【0046】ソフト強磁性体層24は、イージーアクセス(easy axis)と呼ばれる磁化の容易な方向を持つように形成される。このイージーアクセスに沿う磁化の方向は2方向となり、それぞれメモリセルのおよび1の2つのデータに対応させることができる。

【0047】一方、強磁性体層20は、磁化の方向がソフト強磁性体層24のイージーアクセスと同じで、かつ、MRAMの動作状態によらず方向を変えないように形成される。

【0048】この磁化の方向を固定磁化の方向(unidirectional anisotropy directionの便宜的な訳語)と言う。ソフト強磁性体層24のイージーアクセスは、MTJ8の真性異方性(intrinsic anisotropy)、応力誘起異方性(stress induced anisotropy)、形状に起因する異方性を組み合わせて定められる。

【0049】ここで、真性異方性とは、強磁性体が有する物性本来の磁化の異方性を意味し、応力誘起異方性とは、強磁性体に応力を加えた場合に生じる磁化の異方性を意味する。

【0050】また、図75に示すように、MTJ8は平面視形状が、長辺長さL、短辺長さWの長方形形状をしている。これは、MTJ8の形状に起因する異方性を利用して、ソフト強磁性体層24のイージーアクセスを定めているためである。

【0051】次に、強磁性体層20の固定磁化の方向の設定方法を説明する。テンプレート層15上に堆積形成される初期強磁性体層16は、結晶方位が{111}方位となる面({111}面)を上にして成長する。また、MnFeで構成される反磁性体層18は、初期強磁性体層16の上に堆積される。

【0052】これらの磁性体層は、後に堆積されるソフト強磁性体層24のイージーアクセスの方向と同じ方向に向いた磁界の下で堆積され、これにより、ソフト強磁性体層24の固定磁化の方向が定められる。

【0053】また、強磁性体層20と反磁性体層18との間で磁束が閉じるために、強磁性体層20の磁化の方向は、ソフト強磁性体層24のそれよりも、外部磁界によって方向を変えにくく、ワード線とビット線を流れる電流により発生する磁界の大きさの範囲では、強磁性体層20の磁化の方向は固定される。さらに、MTJ8の平面視形状を長方形にしているため、強磁性体層20の形状に起因する磁化異方性が発生し、このことも強磁性体層20の磁化の方向の安定に貢献している。

【0054】<MRAMの書き込み/読み出し動作の概要>以下、MRAMの書き込みおよび読み出し動作について説明する。アドレス選択を行うためのワード線およびビット線(選択ワード線および選択ビット線と呼称)

に所定の電流を流すと、各線の周りに磁界が発生し、両線の交差部(選択アドレス)では各磁界が結合した結合磁界が発生する。この磁界が印加されると両線の交差部に設置されているMTJ8のソフト強磁性体層24の磁化の方向が層の面内で回転し、データの書き込みが行われる。

【0055】この磁界の大きさはソフト強磁性体層24のスイッチング磁界(磁化の方向が反転し始める磁界)よりも大きくなるように設計され、主にソフト強磁性体層24の保磁力と磁化異方で決まる。

【0056】また、選択ワード線および選択ビット線の周囲に発生する磁界は、強磁性体層20の固定磁化の方向を回転させないように、十分小さく設計しなければならない。なぜならば、半選択(Half select)セルの磁化の方向を変えないためである。なお、半選択セルとは、その上下に位置するワード線およびビット線の一つにしか電流が流れていないセルである。

【0057】このように、メモリセルレイのアーキテクチャは、書き込み時の消費電力を低減するため、書き込み電流がMTJ8に直接に流れないように設計される。

【0058】また、MRAMセル9に書き込まれたデータは、pn接合ダイオード7とMTJ8とを垂直に流れる電流をセンサすることにより読み出される。なお、動作時にはMRAMセル9中をトンネル電流が縦に流れるので、MRAMセル9の占有面積を小さくすることができる。

【0059】MTJ8の Al_2O_3 で構成されるトンネルバリア層22の抵抗は、膜厚に対してほぼ指数関数的に変化する。すなわち、トンネルバリアを流れる電流は膜厚が厚くなると低減し、接合をトンネルする電流だけが接合に対して垂直に流れる。

【0060】そして、MRAMセル9のデータは、書き込み電流よりもはるかに小さいセンス電流がMTJ8を垂直に流れるときに発生するMRAMセル9の電圧をモニタすることで読み出される。

【0061】先に説明したように、MTJ8のトンネル確率は、始状態におけるソフト強磁性体層24中のスピンの極性と同じ極性のスピンの状態密度が、終状態における強磁性体層20中において多く存在するほど増加する。

【0062】従って、MTJ8の磁気トンネル抵抗は、ソフト強磁性体層24と強磁性体層20のスピンの状態が同じである場合、すなわち、磁化の方向が両層で同じである場合には低く、磁化の方向が反対である場合には高くなる。それゆえ、MTJ8の抵抗を微小電流でモニタすればMRAMセル9のデータを読み出すことができる。

【0063】なお、センス電流が発生する磁界は無視でき、MRAMセル9の磁化の状態に影響を与えない。ま

た、MRAMセル9の読み出し/書き込みに必要な配線は、図75に示したビット線とワード線のアレイのみであるので、効率の良いメモリセルアレイを構成することができる。

【0064】<書き込み動作>以下、MRAMの書き込み動作について図77および図78を用いてさらに説明する。

【0065】図77は、図75に示すメモリセルアレイの等価回路図であり、ワード線1～3の両端は、それぞれワード線制御回路53接続され、ビット線4～6の両端は、それぞれビット線制御回路51に接続されている。なお、図78の説明を図るため、ワード線1～3をワード線WL1～WL3、ビット線4～6をビット線BL4～BL6として示す場合もある。

【0066】そして、ワード線1～3およびビット線4～6の交点には、抵抗記号で表されるMTJ8およびダイオード記号で表されるpn接合ダイオード7が配設されている。

【0067】ここで、ワード線1およびビット線4を選択する場合を想定すると、両者の交点に位置するMRAMセル9aが選択される。

【0068】選択されたMRAMセルセル9aは、ビット線4を流れる電流I_Bと、ワード線1を流れる電流I_Wにより発生した結合磁界で書き込まれる。

【0069】電流I_BおよびI_Wのどちらか一方がセル領域内で単独に発生する磁界は、MTJ8のソフト強磁性体層24の磁化の方向を変えるのに必要な磁界よりも小さい。

【0070】それゆえ、半選択セルであるMRAMセル9b～9e（ワード線およびビット線に、電流I_BかI_Wのどちらか一方しか流れないセル）には書き込みは行われない。

【0071】しかしながら、電流I_BおよびI_Wによる磁界が結合されると、選択されたメモリセル9aのソフト強磁性体層24の磁化の方向を変えるのに十分な大きさとなる。

【0072】なお、セル9aのソフト強磁性体層24の磁化方向を、相反する2つの異なる磁化方向にできるように、電流I_BおよびI_Wの少なくとも一方は、双方向に流れるように設計される。なお、図77においては、ビット線制御回路51もワード線制御回路53も2つペアで構成されているので、電流I_BおよびI_Wは両方とも、電流の向きを変えることができる。

【0073】図78はビット線4～6（ビット線BL4～BL6）およびワード線1～3（ワード線WL1～WL3）の電圧および電流のタイミングチャートを示している。

【0074】図78に示すように、書き込み時のビット線BL4～BL6の電圧は、電流を双方向に流すのに都合が良い電圧V_Bに設定される。また、ワード線WL1

～WL3の電圧は電圧V_Bより大きく、かつ、正の電圧V_Wに設定される。

【0075】スタンバイ時には、これらの電圧はすべてのセル9のpn接合ダイオード7に逆バイアスがかかるように設定される。従って、スタンバイ時に電流I_BおよびI_Wがメモリセル内を流れることはない。

【0076】<読み出し動作>次に、MRAMの読み出し動作について図77および図78を用いてさらに説明する。図78に示すようにワード線WL1の電圧をV_WからV_Bに下げ、ビット線BL4の電圧をV_BからV_Wに上げて、選択されたセル9aのpn接合ダイオード7に順バイアスを印加する。

【0077】読み出し中は、非選択ビット線5および6はスタンバイ電圧V_Bのままであり、非選択ワード線WL2および3はスタンバイ電圧V_Wのままである。

【0078】なお、半選択セル9b～9eにおいてはワード線からビット線への電圧降下がない（すなわち、pn接合ダイオード7に0Vが印加される）ので、セル内を電流が流れることはない。

【0079】選択セル9aの磁気トンネル抵抗により、ビット線BL4からセル9aを通してワード線WL1へ流れるセンス電流30（図77参照）の大きさが決定される。ビット線制御回路51の一部を構成するセンス回路において、セルの2つの状態に対応して予測される2つの電流値の平均値を参照電流とし、センス電流と比較する。そして、両電流の差を増幅して、選択セル9aに蓄えられているデータを読み出す。

【0080】なお、図77のセンス電流30の波形に示すように、センス電流30は、MTJ8の2つの磁化状態に相当する2種類の電流波形を呈する。

【0081】データ読み出し後、ビット線BL4とワード線WL1の電圧は、それぞれのスタンバイ値に戻されるが、メモリセル9aの磁化状態は、読み出し動作後も維持される。

【0082】

【発明が解決しようとする課題】以上説明したように、MRAMセルへの書き込み時には、ビット線とワード線に電流を流して磁界を発生させる。そして、選択アドレスのメモリセルには、セルを構成するソフト強磁性体層のスイッチング磁界より大きな磁界を与える必要があるため、比較的大きな電流を流す必要があった。そのため、書き込み時の消費電力が大きくなるという問題点があった。

【0083】本発明は上記のような問題点を解消するためになされたもので、書き込み時の消費電力を低減したMRAMを提供することを第1の目的とする。

【0084】また、従来のMRAMセルアレイでは、少なくとも1つのメモリセルアレイで構成されるメモリブロック単位で一括してデータを消去、あるいは、書き込みするには時間がかかるという問題点があった。

【0085】本発明は、消去および書き込みに費やす時間を低減したMRAMを提供することを第2の目的とする。

【0086】

【課題を解決するための手段】本発明に係る請求項1記載の磁気記憶装置は、非接触で交差して、マトリクスを構成する複数のビット線および複数のワード線と、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセルとを備えた磁気記憶装置であって、前記複数のメモリセルは、前記複数のビット線のうちの1本および前記複数のワード線のうちの1本の間にそれぞれ配設され、前記少なくとも1つの磁気トンネル接合は、磁化の方向が変更可能なソフト強磁性体層を有し、前記少なくとも1つの磁気トンネル接合は、前記ソフト強磁性体層の磁化の容易な方向であるイーザーアクシスが、前記複数のビット線および前記複数のワード線の延在方向に対して40°～50度の角度を有するように配設される。

【0087】本発明に係る請求項2記載の磁気記憶装置は、前記磁気トンネル接合が、前記イーザーアクシスに平行な辺が、前記イーザーアクシスに直交する辺よりも長くなるように、平面視形状が矩形に構成されている。

【0088】本発明に係る請求項3記載の磁気記憶装置は、非接触で交差して、マトリクスを構成する複数のビット線および複数のワード線と、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセルとを備えた磁気記憶装置であって、前記複数のビット線の第1の端部にそれぞれ接続され、前記第1の端部と第1の電源あるいは第2の電源との電気的な接続を切り替え可能な複数の第1の切り替え手段と、前記複数のビット線の第2の端部にそれぞれ接続され、前記第2の端部と前記第1の電源あるいは前記第2の電源との電気的な接続を切り替え可能な複数の第2の切り替え手段とを備えている。

【0089】本発明に係る請求項4記載の磁気記憶装置は、前記第1の切り替え手段が、前記複数のビット線の第1の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2の電源に接続された同一導電型の第1および第2のMOSトランジスタを有し、前記第2の切り替え手段は、前記複数のビット線の第2の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2の電源に接続された同一導電型の第3および第4のMOSトランジスタを有する。

【0090】本発明に係る請求項5記載の磁気記憶装置は、前記第1の切り替え手段が、前記複数のビット線の第1の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2

の電源に接続された導電型の異なる第1および第2のMOSトランジスタを有し、前記第2の切り替え手段は、前記複数のビット線の第2の端部にそれぞれの第1の主電極が接続され、それぞれの第2の主電極が、前記第1の電源および前記第2の電源に接続された導電型の異なる第3および第4のMOSトランジスタを有する。

【0091】本発明に係る請求項6記載の磁気記憶装置は、前記第1および第2のMOSトランジスタのそれぞれ前記第1の主電極間に接続された、前記第2のMOSトランジスタと同一導電型の第5のMOSトランジスタと、前記第3および第4のMOSトランジスタのそれぞれ前記第1の主電極間に接続された、前記第4のMOSトランジスタと同一導電型の第6のMOSトランジスタと、をさらに備え、前記第5および第6のMOSトランジスタの制御電極は、常時オン状態となる所定電圧を与える第3の電源に接続される。

【0092】本発明に係る請求項7記載の磁気記憶装置は、非接触で交差して、マトリクスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセル、で構成される複数のメモリセルアレイと、前記複数のメモリセルアレイに渡る複数のメインワード線と、前記複数のメモリセルアレイの個々に対応して配設された複数のメモリセルアレイ選択線とを有した、少なくとも1つのメモリセルアレイ群を備え、前記複数のワード線は、前記複数のメインワード線と前記複数のメモリセルアレイ選択線との交差部にそれぞれ設けられた第1の組み合わせ論理ゲートの出力にそれぞれ接続され、前記第1の組み合わせ論理ゲートの入力は、交差状態にある前記複数のメインワード線の1本と前記複数のメモリセルアレイ選択線の1本とに接続される。

【0093】本発明に係る請求項8記載の磁気記憶装置は、前記少なくとも1つのメモリセルアレイ群を複数有し、前記複数のメモリセルアレイ群に渡る複数のグローバルワード線と、前記複数のメモリセルアレイ群の個々に対応して配設された複数のメモリセルアレイ群選択線とをさらに有し、前記複数のメインワード線は、前記複数のグローバルワード線と前記複数のメモリセルアレイ群選択線との交差部にそれぞれ設けられた第2の組み合わせ論理ゲートの出力にそれぞれ接続され、前記第2の組み合わせ論理ゲートの入力、は、交差状態にある前記複数のグローバルワード線の1本と前記複数のメモリセルアレイ群選択線の1本とに接続される。

【0094】本発明に係る請求項9記載の磁気記憶装置は、非接触で交差して、マトリクスを構成する複数のビット線および複数のワード線、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリセルで構成される複数のメモリセルアレイと、前記複数の

メモリスルアレに渡る複数のメインビット線と、前記複数のメモリスルアレの個々に対応して配設された複数のメモリスルアレ選択線とを有した、少なくとも1のメモリスルアレ群とを備え、前記複数のビット線は、前記複数のメインビット線と前記複数のメモリスルアレ選択線との交差部にそれぞれ設けられた第1の組み合わせ論理ゲートの出力にそれぞれ接続され、前記第1の組み合わせ論理ゲートの入力は、交差状態にある前記複数のメインビット線の1本と前記複数のメモリスルアレ選択線の1本とに接続される。

【0095】本発明に係る請求項10記載の磁気記憶装置は、前記少なくとも1のメモリスルアレ群を複数有し、前記複数のメモリスルアレ群に渡る複数のグローバルビット線と、前記複数のメモリスルアレ群の個々に対応して配設された複数のメモリスルアレ群選択線とをさらに有し、前記複数のメインビット線は、前記複数のグローバルビット線と前記複数のメモリスルアレ群選択線との交差部にそれぞれ設けられた第2の組み合わせ論理ゲートの出力にそれぞれ接続され、前記第2の組み合わせ論理ゲートの入力は、交差状態にある前記複数のグローバルビット線の1本と前記複数のメモリスルアレ群選択線の1本とに接続される。

【0096】本発明に係る請求項11記載の磁気記憶装置は、非接触で交差して、マトリクスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリスルで構成されるメモリスルアレと、インダクタとを備え、前記少なくとも1つの磁気トンネル接合は、磁化の方向が変更可能なソフト強磁性体層を有し、前記インダクタは、前記ソフト強磁性体層の磁化の容易な方向であるイージーアクセスに沿った方向に磁界を発生させる。

【0097】本発明に係る請求項12記載の磁気記憶装置は、前記少なくとも1つの磁気トンネル接合が、前記イージーアクセスが、前記複数のビット線または前記複数のワード線の延在方向に合致するように配設され、前記インダクタは、前記イージーアクセスの方向と合致する前記複数のビット線または前記複数のワード線の延在方向に沿って、前記メモリスルアレを取り巻くように配設されたコイル状のインダクタである。

【0098】本発明に係る請求項13記載の磁気記憶装置は、非接触で交差して、マトリクスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリスルで構成される少なくとも1つのメモリスルアレと、前記少なくとも1つのメモリスルアレの、前記複数のビット線および前記複数のワード線の外側にそれぞれ設けられ、前記複数のビット線および前記複数の

のワード線の形成領域を覆う平板状の少なくとも1つのフラッシュビット線と、少なくとも1つのフラッシュワード線とを備えている。

【0099】本発明に係る請求項14記載の磁気記憶装置は、前記少なくとも1つのメモリスルアレを複数有し、前記複数のメモリスルアレはマトリクス状に配設され、前記少なくとも1つのフラッシュビット線および、少なくとも1つのフラッシュワード線は、前記複数のメモリスルアレの配列に沿って、マトリクスを構成するようにそれぞれ複数配設される。

【0100】本発明に係る請求項15記載の磁気記憶装置は、非接触で交差して、マトリクスを構成する複数のビット線および複数のワード線、および、前記複数のビット線と前記複数のワード線との交差部にそれぞれ配設され、少なくとも1つの磁気トンネル接合を含む複数のメモリスルで構成されるメモリスルアレと、前記複数のビット線および複数のワード線の少なくとも1方の2つの端部にそれぞれ配設され、選択されたビット線およびワード線の少なくとも1方に流れる電流を、LC共振によって保存する少なくとも1つのインダクタと、少なくとも1つのキャパシタとを備えている。

【0101】本発明に係る請求項16記載の磁気記憶装置は、前記少なくとも1つのインダクタおよび、前記少なくとも1つのキャパシタを複数有し、前記複数のビット線は、2つが対となって複数のビット線対を構成し、前記複数のインダクタは、前記複数のビット線対のそれぞれに対応して、ビット線間に電氣的に接続されるように配設された複数の第1のインダクタを含み、前記複数のキャパシタは、前記複数のインダクタの配設側とは反対の端部において、前記複数のビット線のそれぞれに対応して電氣的に接続される複数の第1のキャパシタを含んでいる。

【0102】本発明に係る請求項17記載の磁気記憶装置は、前記複数のワード線が、2つが対となって複数のワード線対を構成し、前記複数のインダクタは、前記複数のワード線対のそれぞれに対応して、ワード線間に電氣的に接続されるように配設された複数の第2のインダクタをさらに含み、前記複数のキャパシタは、前記複数のインダクタの配設側とは反対の端部において、前記複数のワード線のそれぞれに対応して電氣的に接続される複数の第2のキャパシタをさらに含んでいる。

【0103】本発明に係る請求項18記載の磁気記憶装置は、少なくとも1つの半導体チップと、導体で構成され、前記少なくとも1つの半導体チップを収納する遮蔽体と、樹脂で構成され、前記遮蔽体を収納するパッケージと、前記パッケージの開閉部を閉じて密閉する底面基板と、前記底面基板の外側面に配設され、前記少なくとも1つの半導体チップと外部との信号伝送を行う信号伝送用パンプと、前記信号伝送用パンプを囲むように配設され、前記遮蔽体に電氣的に接続される遮蔽用パンプ

と、を備え、前記少なくとも1つの半導体チップは、少なくとも1つの磁気トンネル接合を含む複数のメモリセルを有して構成されるメモリセルアレイを備えた磁気記憶チップを含んでいる。

【0104】本発明に係る請求項1記載の磁気記憶装置は、前記遮蔽体の開口部端縁の内側および外側に配設された第1の応力緩和膜と、前記遮蔽体の内部に配設された第2の応力緩和膜とをさらに備えている。

【0105】本発明に係る請求項2記載の磁気記憶装置は、前記少なくとも1つの半導体チップが、前記メモリセルアレイの周辺回路を含む回路チップをさらに含み、前記磁気記憶チップおよび前記回路チップは上下に重ねられて前記遮蔽体内に収納される。

【0106】本発明に係る請求項2記載の磁気記憶装置は、少なくとも1つの磁気トンネル接合が、磁化の方向が変更可能なソフト強磁性体層を有し、前記遮蔽体は、前記ソフト強磁性体層と同等か、それよりも大きな透磁率を有する強磁性体で構成されている。

【0107】本発明に係る請求項2記載の磁気記憶装置は、前記遮蔽体が反強磁性体で構成されている。

【0108】本発明に係る請求項3記載の磁気記憶装置は、前記遮蔽体が、強磁性体と反強磁性体との多層膜で構成されている。

【0109】本発明に係る請求項4記載の磁性体基板は、全面域に配設された、少なくとも1つの磁気トンネル接合を形成する多層膜を少なくとも有している。

【0110】本発明に係る請求項5記載の磁性体基板は、前記多層膜が、前記少なくとも1つの磁気トンネル接合として、順に配設された反磁性体層、強磁性体層、絶縁体で構成されるトンネルバリア層およびソフト強磁性体層を含んでいる。

【0111】本発明に係る請求項6記載の磁性体基板は、前記多層膜が、前記少なくとも1つの磁気トンネル接合の下部に配設され、pn接合を構成する第1導電型不純物層と第2導電型不純物層との2層膜をさらに含んでいる。

【0112】本発明に係る請求項7記載の磁性体基板は、土台となる基板部と、該基板部に配設された埋め込み酸化膜と、該埋め込み酸化膜上に配設されたSOI層とを備えるSOI基板上に前記多層膜を有している。

【0113】

【発明の実施の形態】< A. 実施の形態1 >

< 本実施の形態の特徴 > 本発明の実施の形態1に係るMRAMは、MRAMセルを構成するソフト強磁性体層のイージアクシスがビット線およびワード線と非平行であり、より具体的には、ビット線およびワード線と40〜50度の角度をなすようにMRAMセルを配設することを特徴とする。

【0114】< A-1. 装置構成 >

< A-1-1. MRAMセルの構成 > まず、MRAMセル

ルの代表的な構成について図1を用いて説明する。図1に示すMRAMセルMCは、n⁺シリコン層10およびp⁺シリコン層11が積層されて構成されるpn接合ダイオード7を有している。

【0115】そして、pn接合ダイオード7の上部にはタングステンスタッド12が配設され、pn接合ダイオード7はタングステンスタッド12を介して磁気トンネル接合 (Magnetic Tunnel Junction: MTJ) 8に電気的に接続されている。

【0116】MTJ8は積層構造であり、下から順に、白金 (Pt) で構成されるテンプレート層15 (膜厚10nm)、Ni₈₁Fe₁₉のパーマロイで構成される初期強磁性体層16 (膜厚4nm)、Mn₅₄Fe₄₆で構成される反磁性体層18 (膜厚10nm)、CoFeあるいはNi₈₁Fe₁₉のパーマロイで構成され、磁化方向が固定された強磁性体層20 (膜厚8nm)、Al₂O₃で構成されるトンネルバリア層22、膜厚2nmのCoFeと膜厚20nmのNi₈₁Fe₁₉の多層膜で構成されるソフト強磁性体層24、Ptで構成されるコンタクト層25を備えている。

【0117】MTJ8を含めてMRAMセルMCの平面視形状は長方形であり、その長辺に平行な方向が、ソフト強磁性体層24の電子のスピン方向におけるイージアクシスとなるように設定されている。なお、短辺に平行な方向が、磁化の困難な方向であるハードアクシス (hard axis) となる。

【0118】< A-1-2. 従来のMRAMセルアレイの詳細な検討 > 図2に、従来のMRAMセルアレイの平面構成を示す。なお、MRAMセルMC1は便宜的に斜視図として示している。

【0119】図2に示すように、互いに平行に配設された複数のワード線WL1の上部において交差するように、互いに平行に配設された複数のビット線BL1が配設されている。

【0120】そして、ワード線およびビット線で挟まれる各交点にMRAMセル (以後、単にセルと呼称する場合もあり) MC1が形成されている。なお、各MRAMセルMC1に模式的に示す矢印は、MRAMセルMC1のソフト強磁性体層24のスピン方向を示しており、図2に示すスタンバイ状態では全てのMRAMセルMC1のスピン方向が右向きになっている。なお、MRAMセルMC1の構成は、例えば図1に示すメモリセルMCと同様とするが、この構成に限定されるわけではない。

【0121】図3は従来のMRAMセルアレイにおいて、書き込みの状態を模式的に示す平面図である。なお、以下においては、MRAMセルMC1に便宜的にMC1a、MC1b、MC1cの符号を付して区別する場合もある。

【0122】書き込み時に、アドレス選択を行うためのワード線およびビット線 (選択ワード線および選択ビッ

ト線と呼称)に所定の電流を流すと、ビオ・サバルル(Biot-Savart)の法則により、電流の周りには磁界が発生する。

【0123】ここで、ビット線の周りに発生する磁界を H_x 、ワード線の周りに発生する磁界を H_y とする。そして、便宜的に、選択ワード線および選択ビット線を、それぞれ $WL1a$ および $BL1a$ として表記する。

【0124】なお、図3における電流の流れる方向は、選択ビット線 $BL1b$ においては下から上に、選択ワード線 $WL1a$ においては左から右である。

【0125】選択ワード線 $WL1a$ および選択ビット線 $BL1b$ に所定の電流を流すと、両線の交差部(選択アドレス)では磁界 H_x および H_y が結合する。この結合磁界が印加されると、選択ワード線 $WL1a$ および選択ビット線 $BL1b$ の交差部に設置されているMRAMセル $MC1a$ のソフト強磁性体層24の磁化の方向が層の面内で回転し、データの書き込みが行われる。図3においては、MRAMセル $MC1a$ のスピンの方向が90度以上回転して示されている。

【0126】そして、セル形状による磁化異方性により、イージーアクセスの方へスピンの回転するため、最終的にはスピンは反転(180度回転)することになる。

【0127】一方、その上下に位置するワード線およびビット線の方にしか電流が流れていない半選択(half-select)9セルであるMRAMセル、すなわち図3に示す、複数のMRAMセル $MC1b$ においても、ソフト強磁性体層24のスピンの回転するが、反転には至らないように、各電流が設定されている。

【0128】なお、選択ビット線 $BL1a$ による複数の半選択セル $MC1c$ は、選択ビット線 $BL1a$ の周りに発生する磁界 H_x が、イージーアクセスの方向と同じであるので、磁界 H_x だけでは図3に表示するほどの大きな回転は起こせない。

【0129】図4に、スピンを反転させるのに必要な磁界 H_k を、磁界 H_x と H_y との結合磁界で形成する場合の上記3磁界の関係を示す。図4において横軸に磁界 H_k を、縦軸に磁界 H_y を示している。また、当該関係を以下に数式で表す。

【0130】

【数3】

$$H_x^{2/3} + H_y^{2/3} = H_k^{2/3} \quad \cdots (3)$$

【0131】図4における曲線はアステロイド曲線と呼称される。そして、磁界 H_k が下記数式(4)で表される場合、ソフト強磁性体層24のスピンは反転する。

【0132】

【数4】

$$H_x^{2/3} + H_y^{2/3} > H_k^{2/3} \quad \cdots (4)$$

【0133】また、磁界 H_k が下記数式(5)で表される場合、ソフト強磁性体層24のスピンの方向は維持される。

【0134】

【数5】

$$H_x^{2/3} + H_y^{2/3} < H_k^{2/3} \quad \cdots (5)$$

【0135】定常電流 I の周りに発生する磁束密度 B は、ビオ・サバルルの法則から次に式(6)で表される。

【0136】

【数6】

$$B(R) = \frac{\mu}{2\pi} \cdot \frac{I}{R} \quad \cdots (6)$$

【0137】ここで、 μ は透磁率、 R は電流 I からの距離である。また、磁界 H と磁束密度 B とは、次に式(7)で表される関係にある。

【0138】

【数7】

$$B = \mu H \quad \cdots (7)$$

【0139】従って、以下の数式(8)が成り立つ。

【0140】

【数8】

$$H(R) = \frac{1}{2\pi} \cdot \frac{I}{R} \quad \cdots (8)$$

【0141】上記数式(8)から、磁界 H は定常電流 I に比例することが判る。従って、書き込み時の消費電力を下げるには、スピンを反転させるのに必要な磁界 H_k を下げることで、すなわち、 $H_x + H_y$ をなるべく小さくすることが望ましい。

【0142】発明者らは上述した従来技術の検討に基づいて、磁界 H_k を低減することができるMRAMセルアレイの構成に到達した。

【0143】<A-1-3. MRAMセルアレイの構成および動作>図5に、本発明の実施の形態1に係るMRAMセルアレイMA10の平面構成を示す。図5に示すように、互いに平行に配設された複数のワード線 $WL1$ の上部において交差するように、互いに平行に配設された複数のビット線 $BL1$ が配設されている。

【0144】そして、ワード線およびビット線で挟まれる各交点にMRAMセル $MC2$ が形成されている。なお、MRAMセル $MC2$ の構成は、例えば図1に示すメモリセル MC と同様とするが、この構成に限定されるわけではない。

【0145】図5に示すように、イージーアクセスが、ビット線およびワード線に対して45度傾くように各MRAMセル $MC3$ が配設されている。なお、本例においては、ワード線 $WL1$ に対しては右斜め上に45度傾けて配設されているので、図5に示すスタンバイ状態では全てのMRAMセル $MC2$ のスピンの方向が右斜め上の向

きになっている。

【0146】図6はMRAMセルアレイMA10の書き込みの状態を模式的に示す平面図である。なお、以下においては、MRAMセルMC2に便宜的にMC2a、MC2b、MC2cの符号を付して区別する場合もある。

【0147】選択ワード線WL1aおよび選択ビット線BL1bに所定の電流を流すと、両線の交差部（選択アドレス）では磁界HxおよびHyが結合する。なお、図6における電流の流れる方向は、選択ビット線BL1bにおいては下から上に、選択ワード線WL1aにおいては左から右である。

【0148】この結合磁界が印加されると、選択ワード線WL1aおよび選択ビット線BL1bの交差部に設置されているMRAMセルMC1aのソフト強磁性体層24の磁化の方向が層の面内で回転し、データの書き込みが行われる。図6においては、MRAMセルMC2aのスピンの方向が90度以上回転して示されている。

【0149】そして、セル形状による磁化異方性により、イージークシスの方へスピンの回転するため、最終的にはスピンは反転（180度回転）することになる。

【0150】一方、その上下に位置するワード線およびビット線の一方にしか電流が流れていない半選択セルであるMRAMセル、すなわち図6に示す、複数のMRAMセルMC2bおよびMC2cにおいても、ソフト強磁性体層24のスピンの回転するが反転には至らないように、各電流が設定されている。

【0151】ここで、選択ビット線BL1aによる複数の半選択セルMC2cは、選択ビット線BL1aの周りに発生する磁界Hxが、イージークシスの方向に対して約45度の角度で交差するので、図6に表示するようにソフト強磁性体層24のスピンの回転するが、各電流の大きさを調節することで、スピンを反転させることもできるし、反転させないこともできる。これは、選択ワード線WL1aによる複数の半選択セルMC2bについても同様である。

【0152】<A-1-4. その他の構成例>図7に、実施の形態1のその他の構成例として、MRAMセルアレイMA20の平面構成を示す。図7に示すように、互いに平行に配設された複数のワード線WL1の上部において交差するように、互いに平行に配設された複数のビット線BL1が配設されている。

【0153】そして、ワード線およびビット線で挟まれる各交点にMRAMセルMC3が形成されている。なお、MRAMセルMC3の構成は、例えば図1に示すメモリセルMCと同様とするが、この構成に限定されるわけではない。

【0154】図7に示すように、イージークシスが、ビット線およびワード線に対して45度傾くように各MRAMセルMC3が配設されている。なお、本例におい

ては、ワード線WL1に対しては右斜め下に45度傾けて配設されているので、図7に示すスタンバイ状態では全てのMRAMセルMC3のスピンの方向が右斜め下の向きになっている。

【0155】図8はMRAMセルアレイMA20の書き込みの状態を模式的に示す平面図である。なお、以下においては、MRAMセルMC3に便宜的にMC3a、MC3b、MC3cの符号を付して区別する場合もある。

【0156】選択ワード線WL1aおよび選択ビット線BL1aに所定の電流を流すと、両線の交差部（選択アドレス）では磁界HxおよびHyが結合する。

【0157】なお、図8における電流の流れる方向は、選択ビット線BL1aにおいては下から上に、選択ワード線WL1aにおいては左から右である。

【0158】この結合磁界が印加されると、選択ワード線WL1aおよび選択ビット線BL1aの交差部に設置されているMRAMセルMC3aのソフト強磁性体層24の磁化の方向が層の面内で回転し、データの書き込みが行われる。図8においては、MRAMセルMC3aのスピンの方向が90度以上回転して示されている。

【0159】そして、セル形状による磁化異方性により、イージークシスの方へスピンの回転するため、最終的にはスピンは反転（180度回転）することになる。

【0160】一方、図8に示す半選択セルである複数のMRAMセルMC2bおよびMC2cにおいても、ソフト強磁性体層24のスピンの回転するが、反転には至らないように各電流が設定されている。

【0161】<A-1-5. MRAMセルの配設方向の最適化>次に、図9～図25を用いて、MRAMセルの配設方向の最適化について説明する。

【0162】まず、結合磁界Hkによりスピンの方向を反転させる場合について説明する。

【0163】図9および図10に、図2に示す従来のMRAMセルアレイにおける書き込み時の選択アドレスのMRAMセルMC1aのスピンの方向と、それを反転させる結合磁界Hkの方向の関係を模式的に示す。

【0164】図9および図10において、磁界HxおよびHyの大きさが同じ場合を想定すると、スピンと結合磁界Hkがなす角度は $\theta_1 = 135^\circ$ となる。

【0165】また、図11および図12に、図5に示すMRAMセルアレイMA10における書き込み時の選択アドレスのMRAMセルMC2aのスピンの方向と、それを反転させる結合磁界Hkの方向の関係を模式的に示す。

【0166】図11および図12において、磁界HxおよびHyの大きさが同じ場合を想定すると、スピンと結合磁界Hkがなす角度は $\theta_2 = 90^\circ$ となる。

【0167】また、図13および図14に、図7に示すMRAMセルアレイMA20における書き込み時の選択

アドレスのMRAMセルMC3aのスピンの方向と、それを反転させる結合磁界Hkの方向の関係を模式的に示す。

【0168】図13および図14において、磁界HxおよびHyの大きさが同じ場合を想定すると、スピンと結合磁界Hkがなす角度は $\theta_3=180^\circ$ となる。

【0169】次に、図15に、結合磁界Hkと、磁界HxおよびHyとの関係を示す。この関係は図4においてアステロイド曲線として示したものと同じであるが、 $|Hx|+|Hy|=一定$ という条件下で、すなわち、一定の書き込み電流という条件下で、アステロイド曲線上の磁界HxおよびHyを求めると、 $Hx=Hy=Hk/\sqrt{2}$ の関係が得られる。

【0170】これに基づけば、図9および図10に示す従来のMRAMセルアレイにおいては、結合磁界Hkによりスピンを約135度回転させ、そこから180度までは形状による磁化異方性を利用してスピンを回転させている。

【0171】一方、図11および図12に示すMRAMセルアレイMA10においては、同じ結合磁界の大きさでスピンの回転が約90度回転する。従って、形状による磁化異方性を利用して、スピンの反転するかどうか臨界の状態である。それゆえ、MRAMセルアレイMA10の構成を探る場合には、磁界Hxを磁界Hyよりも若干大きくして、スピンの回転角 θ_2 を90度以上にすることが望ましい。

【0172】なお、図13および図14に示すMRAMセルアレイMA20においては、同じ結合磁界の大きさでスピンの回転が約180度回転するので、確実にスピンを反転することができる。

【0173】次に、結合磁界Hkが加わってもスピンの方向を維持させる場合について、スピンの方向と、それを維持する結合磁界Hkの方向の関係を図16～図21に模式的に示す。なお、図16～図21は図9～図14に対応しているので、重複する説明は省略する。

【0174】図16および図17において、磁界HxおよびHyの大きさが同じ場合を想定すると、スピンと結合磁界Hkがなす角度は $\theta_{11}=45^\circ$ となる。

【0175】図18および図19において、磁界HxおよびHyの大きさが同じ場合を想定すると、スピンと結合磁界Hkがなす角度は $\theta_{12}=90^\circ$ となる。

【0176】図20および図21において、磁界HxおよびHyの大きさが同じ場合を想定すると、スピンと結合磁界Hkがなす角度は $\theta_{13}=90^\circ$ となる。

【0177】従って、図16に示す従来のMRAMセルアレイにおいては、スピンの方向はほぼ維持され、また、図18に示すMRAMセルアレイMA10においては、スピンの方向は完全に維持されるように書き込みが行われるが、図20に示すMRAMセルアレイMA20においては、スピンの反転するかどうか臨界の状態であ

り、望ましくない。

【0178】以上の考察から、図13および図20に示すMRAMセルアレイMA20の構成を採用し、ビット線およびワード線に流す電流の向きを考慮することが望ましい。当該構成について図22～図25を用いて説明する。

【0179】図22および図23は、MRAMセルアレイMA20の構成において、図8と同様に電流の流れる方向が、選択ビット線BL1aにおいては下から上に、選択ワード線WL1aにおいては左から右である場合の書き込み時の選択アドレスのMRAMセルMC3aのスピンの方向と、それを反転させる結合磁界Hkの方向の関係を模式的に示している。

【0180】図22および図23において、磁界HxおよびHyの大きさが同じ場合を想定すると、スピンと結合磁界Hkがなす角度は $\theta_4=180^\circ$ となり、スピンの方向を反転させることでデータを書き込む場合に適した構成であると言える。

【0181】また、図24および図25は、MRAMセルアレイMA20の構成において、電流の流れる方向が、選択ビット線BL1aにおいては上から下に、選択ワード線WL1aにおいては右から左となっている場合の書き込み時の選択アドレスのMRAMセルMC3aのスピンの方向と、それを維持する結合磁界Hkの方向の関係を模式的に示している。

【0182】なお、図22の場合と比べて、ビット線およびワード線に流す電流の向きを変えている。

【0183】図24および図25において、磁界HxおよびHyの大きさが同じ場合を想定すると、スピンと結合磁界Hkがなす角度は $\theta_5=0^\circ$ となり、スピンの方向を維持することでデータを書き込む場合に適した構成であると言える。

【0184】また、図22および図24の何れの構成においても、結合磁界の方向とイージアクシスが一致しているため、書き込みの誤差が従来よりも小さくなるという利点をさらに有している。

【0185】＜A-2. 作用効果＞以上説明したように、本発明に係る実施の形態1のMRAMによれば、MRAMセルを構成するソフト強磁性体層24のイージアクシスを、ビット線およびワード線に対して斜めに40～50度、望ましくは45度の角度をなすよう傾けて配設することで、少ない書き込み電流で、選択アドレスにおけるMRAMセルのスピンの方向を確実に反転でき、書き込み時の消費電力を低減することができる。

【0186】また、選択アドレスにおけるMRAMセルのスピンの方向を反転させる場合と、スピンの方向を維持する場合とでビット線およびワード線に流す電流の向きを変更することで、結合磁界の方向とイージアクシスとを一致させ、書き込みの誤差を低減することもできる。

【0187】＜B. 実施の形態2＞

＜本実施の形態の特徴＞本発明の実施の形態2に係るMRAMは、MRAMセルアレイのビット線およびワード線の両端に一对の読み出し／書き込み制御回路を備え、当該回路の構成として、ビット線と電源電圧VDDとを接続する第1のMOSTランジスタと、ビット線と接地電圧VSSとを接続する第2のトランジスタを含み、書き込み時にビット線の両方向に書き込み電流を流す機能と、読み出し時にセンス電流に起因する電圧をセンスアンプに出力する機能を有する。

【0188】＜B-1. 装置構成＞

＜B-1-1. MRAMの全体構成＞図26は本発明の実施の形態2に係るMRAMの構成を示すブロック図であり、MRAMセルアレイMCAと、その周辺回路を示している。

【0189】図26において、列アドレスバッファ（column address buffer）CABは、列アドレス信号を受信し、信号を反転、あるいは、増幅して列デコーダCDに出力する。

【0190】列デコーダCDは、列アドレス信号をデコードし、デコードした信号をマルチプレクサMUXに出力する。

【0191】マルチプレクサMUXは、デコードされた列アドレス信号に従ってビット線を選択する。同時にビット線の一端に接続される列読み出し／書き込み第1制御回路CRW1に信号を出力し、列読み出し／書き込み第1制御回路CRW1からは、読み出し、あるいは、書き込みに応じて選択ビット線に電圧、電流が印加される。

【0192】行アドレスバッファ（row address buffer）RABは、行アドレス信号を受信し、信号を反転、あるいは、増幅して行デコーダRDに出力する。

【0193】行デコーダRDは行アドレス信号をデコードし、デコードされた行アドレス信号に従ってワード線を選択する。同時にビット線の一端に接続される行読み出し／書き込み第1制御回路RRW1に信号を出力し、行読み出し／書き込み第1制御回路RRW1からは、読み出し、あるいは、書き込みに応じて選択ワード線に電圧、電流が印加される。

【0194】また、MRAMセルアレイMCAから読み出したデータ、あるいは、MRAMセルアレイMCAに書き込むデータは入出力バッファIOBを介して、外部との間でデータの入出力が行われる。

【0195】なお、ビット線他方端には列読み出し／書き込み第2制御回路CRW2が接続され、ワード線他方端には行読み出し／書き込み第2制御回路RRW2が接続されている。

【0196】＜B-1-2. MRAMの詳細構成＞図27は、図26に示すMRAMのうち、マルチプレクサMUX、列デコーダCD、行デコーダRD、入出力バッ

ファIOBを除いた構成についての回路図を示している。また、列アドレスバッファCABおよび行アドレスバッファRABについては便宜的に図示を省略している。なお、図27に示す構成のMRAMはMRAM100と呼称する。

【0197】図27において、MRAMセルアレイMCAは、MRAMセルMC11、MC21、MC12およびMC22を有している。何れのMRAMセルも、磁気トンネル接合（MTJ）とpn接合ダイオードが直列に接続された構造を有し、図27においては、MTJを可変抵抗で表し、ダイオードとの直列接続回路が等価回路として表されている。

【0198】MTJを可変抵抗で表すのは、MTJを構成するソフト強磁性体層（電子スピンの方向が変更可能、すなわち磁化の方向が変更可能）と、強磁性体層（電子スピンの方向が固定、すなわち磁化の方向が固定）において、両者のスピンの同一方向を向いている場合にはトンネル抵抗が小さくなり、互いに反対方向を向いている場合にはトンネル抵抗が大きくなるためである。従って、この可変抵抗は2つの抵抗値を有することになる。

【0199】MRAMセルMC11は、ビット線BL1とワード線WL1との間に直列接続された可変抵抗R11およびダイオードD11を有し、MRAMセルMC21は、ビット線BL1とワード線WL2との間に直列接続された可変抵抗R21およびダイオードD21を有し、MRAMセルMC12は、ビット線BL2とワード線WL1との間に直列接続された可変抵抗R12およびダイオードD12を有し、MRAMセルMC22は、ビット線BL2とワード線WL2との間に直列接続された可変抵抗R22およびダイオードD22を有している。

【0200】ビット線BL1およびBL2は、列読み出し／書き込み第2制御回路CRW2において、それぞれNMOSTランジスタMN11およびMN21を介してドレイン電圧VDDが与えられる構成となっている。そして、NMOSTランジスタMN11およびMN21のドレイン電極には、それぞれNMOSTランジスタMN12およびMN22のドレイン電極が接続され、NMOSTランジスタMN12およびMN22のソース電極にはソース電圧VSSが与えられる構成となっている。

【0201】また、NMOSTランジスタMN11、MN12、MN21およびMN22のゲート電極には、それぞれ、NANDゲートND1、ND2、ND3およびND4の出力が与えられ、NANDゲートND1～ND4のそれぞれ3つの入力はマルチプレクサMUXに接続されている。

【0202】ビット線BL1およびBL2は、列読み出し／書き込み第1制御回路CRW1において、それぞれNMOSTランジスタMN13、可変抵抗R31およびMN23、可変抵抗R32を介してドレイン電圧VDDが

与えられる構成となっている。そして、NMOSTランジスタMN13およびMN23のドレイン電極には、それぞれNMOSTランジスタMN14およびMN24のドレイン電極が接続され、NMOSTランジスタMN14およびMN24のソース電極にはソース電圧 V_{SS} が与えられる構成となっている。

【0203】なお、NMOSTランジスタMN13およびMN23のソース電極は、センス電流の検出のため、センスアンプを含むマルチプレクサMUXにも接続されている。

【0204】また、NMOSTランジスタMN13、MN14、MN23およびMN24のゲート電極には、それぞれ、NANDゲートND5、ND6、ND7およびND8の出力が与えられ、NANDゲートND1～ND4のそれぞれの3つの入力はマルチプレクサMUXに接続されている。

【0205】ワード線WL1およびWL2は、行読み出し/書き込み第1制御回路RRW1において、それぞれNMOSTランジスタQN11およびQN21を介してドレイン電圧 V_{DD} が与えられる構成となっている。そして、NMOSTランジスタQN11およびQN21のドレイン電極には、それぞれNMOSTランジスタQN12およびQN22のドレイン電極が接続され、NMOSTランジスタQN12およびQN22のソース電極にはソース電圧 V_{SS} が与えられる構成となっている。

【0206】また、NMOSTランジスタQN11、QN12、QN21およびQN22のゲート電極は行デコーダRDに接続されている。

【0207】ワード線WL1およびWL2は、行読み出し/書き込み第2制御回路RRW2において、それぞれNMOSTランジスタQN13およびQN14を介してソース電圧 V_{SS} が与えられる構成となっている。

【0208】なお、図27では、MRAMセルアレイMCAを2行2列のセルアレイとしているが、行と列のサイズは、これに限定されるものではない。

【0209】<B-2. 装置動作>以下、図27～図29を用いてMRAM100の動作について説明する。図28は、読み出しおよび書き込み時の、MRAM100における各種電流および電圧のタイミングチャートである。

【0210】図28においては、センス電流のタイミングチャート、MRAMセルMC11、MC21、MC12の書き込みおよび読み出しに際しての、ワード線およびビット線に与えられる電圧のタイミングチャートを示すとともに、NMOSTランジスタMN11、MN12、MN13およびMN14の各々のゲート電極に与えられるゲート電圧 V_{G1} 、 V_{G2} 、 V_{G3} および V_{G4} のタイミングチャート、NMOSTランジスタQN11、QN12およびQN13のゲート電極に与えられるゲート電圧 V_{W1} 、 V_{W2} および V_{W3} のタイミングチャート、およびN

MOSTランジスタMN13のソース電圧 V_{S1} のタイミングチャートを示している。

【0211】また、図28において、ワード線およびビット線のスタンバイ時の電圧は電圧 V_W および V_b となっている。

【0212】各MRAMセルにはp n接合ダイオードが含まれているので、スタンバイ時には当該ダイオードのp n接合に逆バイアスが印加されるように、ワード線およびビット線には電圧 V_W および V_b が印加される。なお、図27に示すように、各ダイオードはワード線にカソードが接続されるように構成されているので、 $V_W > V_b$ の関係となるように設定される。

【0213】以下においては、電圧 V_b =ソース電圧 V_{SS} と想定して、ビット線BL1の制御について説明する。

【0214】<B-2-1. スタンバイ状態>図28に示すように、スタンバイ状態では、全てのワード線は電圧 V_W 、全てのビット線は電圧 V_b が印加される。これを実現するために、図28に示す4つのNMOSTランジスタMN11、MN12、MN13およびMN14が配置されている。

【0215】すなわち、スタンバイ時には、NMOSTランジスタMN11およびMN13がオフ状態となるようにゲート電圧 V_{G1} および V_{G3} にソース電圧 V_{SS} が与えられ、NMOSTランジスタMN12およびMN14がオン状態となるようにゲート電圧 V_{G2} および V_{G4} にドレイン電圧 V_{DD} が与えられる。

【0216】また、NMOSTランジスタQN11がオン状態となるようにゲート電圧 V_{W1} を印加し、NMOSTランジスタQN12がオフ状態となるようにゲート電圧 V_{W2} を印加し、NMOSTランジスタQN13がオフ状態となるようにゲート電圧 V_{W3} を印加する。

【0217】なお、NMOSTランジスタQN11はソース電極がドレイン電圧 V_{DD} に接続されているので、ゲート電圧 V_{W1} としては $V_{DD} + \Delta V_{DD}$ の電圧を印加する。これはランジスタのしきい値電圧による電圧降下を補うためである。

【0218】この結果、ビット線BL1にはソース電圧 V_{SS} が与えられ、ワード線WL1にはドレイン電圧 V_{DD} が与えられる。

【0219】<B-2-2. 書き込み状態1(ライト1)>MRAMセルMC11にデータ「1」を書き込む(スピンの方向を反転させる)場合、選択ワード線WL1と選択ビット線BL1に電流を流す必要がある。図27に示すMRAM100では、ビット線のみに双方向に電流が流れることを想定している。

【0220】この場合、NMOSTランジスタMN11およびMN14がオン状態とし、NMOSTランジスタMN12およびMN13をオフ状態とする。ただし、NMOSTランジスタMN11はソース電極がドレイン電

圧 V_{DD} に接続されているので、ゲート電圧 V_{G1} としては $V_{DD} + \Delta V_{DD}$ の電圧を印加する。

【0221】この結果、ビット線 B_L1 を流れる電流 I_{B1} は図27の上から下へ向かって流れることになる。

【0222】一方、NMOSTランジスタ Q_{N11} および Q_{N13} をオン状態とし、NMOSTランジスタ Q_{N12} をオフ状態とすることで、選択ワード線 W_L1 には図27の左から右へ向かって電流 I_{W1} が流れることになる。NMOSTランジスタ Q_{N11} はソース電極がドレイン電圧 V_{DD} に接続されているので、ゲート電圧 V_{W1} としては $V_{DD} + \Delta V_{DD}$ の電圧を印加する。

【0223】このようにして、選択ワード線 W_L1 および選択ビット線 B_L1 を流れる電流 I_{W1} および I_{B1} に起因する磁界により、MRAMセル $MC11$ のMTJのソフト強磁性体層のスピンが回転して、データが書き込まれる。

【0224】<B-2-3. 読み出し状態1（リード1）>MRAMセル $MC11$ に書き込まれたデータ「1」を読み出す場合、MRAMセル $MC11$ のダイオード $D11$ にのみ順バイアスを印加し、センス電流 I_{SC} を流す。このセンス電流 I_{SC} がMRAMセル $MC11$ を流れるとビット線 B_L1 が電圧降下を起こす。この電圧降下の大きさでデータが「0」か「1」を判断する。

【0225】ダイオード $D11$ に順バイアスを印加するために、選択ワード線 W_L1 に電圧 V_b を、選択ビット線 B_L1 に電圧 V_H を印加する。この状態を実現するために、NMOSTランジスタ $MN11$ および $MN13$ をオン状態とし、NMOSTランジスタ $MN12$ および $MN14$ をオフ状態とする。

【0226】ただし、NMOSTランジスタ $MN11$ および $MN13$ はソース線が V_{DD} であるので、ゲート電圧 V_{G1} および V_{G3} として $V_{DD} + \Delta V_{DD}$ の電圧が印加される。

【0227】このとき、非選択アドレスのMRAMセル $MC22$ のp-n接合ダイオード $D22$ には、逆バイアス（ワード線 W_L2 に電圧 V_H 、ビット線 B_L2 に電圧 V_b ）が印加されたままであり、半選択アドレスのMRAMセル $MC12$ および $MC21$ のダイオード $D12$ および $D21$ には電位差が与えられず（0バイアス）、MRAMセル $MC12$ 、 $MC21$ および $MC22$ に電流は流れない。

【0228】ここで、可変抵抗 R_{11} （すなわちMTJ）の2つの抵抗値のうち、高い方の値を R_H 、低い方の値を R_L とする。

【0229】MRAMセル $MC11$ のメモリスルを流れるセンス電流 I_{SC} は、MTJの抵抗値（すなわち可変抵抗 R_{11} の値）により大きさが変わる。MTJの抵抗が R_H および R_L のときのセンス電流の値を I_H および I_L とすると、 $R_H > R_L$ であるので、 $I_H > I_L$ が成立立つ。

【0230】MRAMセル $MC11$ にはセンス電流が流

れるため、NMOSTランジスタ $MN13$ のソース電極（マルチプレクサMUXに接続）の電圧 V_{S1} は、ドレイン電圧 V_{DD} よりも低下する。

【0231】この電圧降下は磁気トンネル抵抗値に依存し、この降下電圧をマルチプレクサMUXに含まれるセンスアンプで参照電圧と比較して、データ「1」を検出する。

【0232】<B-2-4. 書き込み状態0（ライト0）>MRAMセル $MC11$ にデータ「0」を書き込む（スピンの方向を維持する）場合、書き込み状態1の場合と異なるのは、選択ビット線 B_L1 を流れる電流の方向が逆となる点である。これを実現するため、NMOSTランジスタ $MN11$ および $MN14$ をオフ状態とし、NMOSTランジスタ $MN12$ および $MN13$ をオン状態とする。

【0233】この結果、ビット線 B_L1 を流れる電流 I_{B1} は図27の下から上へ向かって流れることになる。

【0234】<B-2-5. 読み出し状態0（リード0）>MRAMセル $MC11$ に書き込まれたデータ「0」を読み出す場合、NMOSTランジスタ $MN11$ 、 $MN12$ 、 $MN13$ および $MN14$ の動作は、読み出し状態1（リード1）と同じである。ただし、読み出すデータが「0」の場合のNMOSTランジスタ $MN13$ のソース電極の電圧 V_{S1} と、読み出すデータが「1」の場合の電圧 V_{S1} との電圧差 ΔV は、磁気トンネル抵抗の変化率 $\{(R_H - R_L) / R_L\}$ の値が大きいほど大きくなる。電圧差 ΔV が大きいほどセンスアンプで検出できる参照電圧に対するマージンが大きくなるので、検出が容易になる。

【0235】ここで、図29に磁気トンネル抵抗の変化率の印加電圧依存性を示す。図29において、横軸にMTJに印加するバイアス電圧を、縦軸に磁気トンネル抵抗の変化率 $\{(R_H - R_L) / R_L\}$ を示す。なお、図29には、これまでに説明したMTJであるトンネルバリア層を1層有する単磁気トンネル接合についての特性とともに、トンネルバリア層を2層有する2重磁気トンネル接合についての特性を併せて示している。

【0236】図29から判るように、（単および2重）磁気トンネル接合に印加する電圧が0.1V程度的时候、磁気トンネル抵抗の変化率が最大になる。従って、読み出し時に選択ビット線 B_L1 に印加する電圧 V_{W1} は、p-n接合ダイオードに印加される電圧より0.1Vだけ高い電圧が望ましい。この電圧は、NMOSTランジスタ $MN11$ と $MN13$ のゲート電圧 $V_{DD} + \Delta V_{DD}$ の値を調節することにより実現できる。

【0237】ここで、2重磁気トンネル接合の構成について図3を用いて説明する。図30に示すように、2重磁気トンネル接合は、第1反強磁性体層 $A1$ 、強磁性体層 $F1$ 、第1トンネルバリア層 $TB1$ 、ソフト強磁性体層 $FM5$ 、第2トンネルバリア層 $TB2$ 、第2反

強磁性体層 AF 2 が積層された構成を有している。

【0238】このような構成において、第 1 および第 2 反強磁性体層 AF 1 および AF 2 の端子 TA および TB 間に電圧 V_X を印加した場合、第 1 および第 2 のトンネルバリア層 TB 1 および TB 2 には $V_X/2$ ずつの電圧がかかることになる。

【0239】一方、単磁気トンネル接合の場合には電圧 V_X がトンネルバリア層膜にかかることになるが、磁気トンネル抵抗の変化率は、印加電圧が大きいくほど小さくなるので、2 重磁気トンネル接合の方が磁気トンネル抵抗の変化率が大きくなり、図 29 に示すように、単磁気トンネル接合と 2 重磁気トンネル接合とで特性に差が生じることになる。

【0240】< B-3. 作用効果 > 以上説明したように、本発明に係る実施の形態 2 の MRAM によれば、MRAM セルアレイ MCA のビット線およびワード線の両端に、列読み出し/書き込み第 1 制御回路 CRW1 および列読み出し/書き込み第 2 制御回路 CRW2 を備え、それぞれにおいて、ビット線と電圧 V_{DD} とを接続する第 1 の MOS トランジスタ (MN11、MN21、MN13、MN23)、ビット線と電圧 V_{SS} とを接続する第 2 の MOS トランジスタ (MN12、MN22、MN14、MN24) とを有しているので、NMOS トランジスタを切り替えることで選択ビット線に流れる電流の向きを変更することができ、MTJ を構成するソフト強磁性体層のスピンの方向を任意に変更できる。なお、NMOS トランジスタ MN11 および MN12、MN21 および MN22、MN13 および MN14、MN23 および MN24 は、ビット線の両端部の接続先を、電圧 V_{DD} あるいは電圧 V_{SS} に切り替えることができるので、切り替え手段と呼称することができる。

【0241】また、列読み出し/書き込み第 1 制御回路 CRW1 の上記第 1 の MOS トランジスタはセンスアンプを含むマルチプレクサ MUX に接続されているので、データの読み出し時にセンス電流に起因する電圧をマルチプレクサ MUX に出力することができる。

【0242】< B-4. 変形例 1 > 本発明に係る実施の形態 2 の変形例 1 として、図 31 に MRAM 200 を示す。なお、MRAM 200 は図 27 を用いて説明した MRAM 100 とほぼ同様の構成を有しており、異なるのは MRAM 100 における NMOS トランジスタ MN11、MN13、MN21、MN23、QN11 および QN21 の代わりに、PMOS トランジスタ MP11、MP13、MP21、MP23、QP11 および QP21 を設け、かつ、PMOS トランジスタ MP11 および NMOS トランジスタ MN12 のゲート電極に NAND ゲート ND11 の出力を与え、PMOS トランジスタ MP21 および NMOS トランジスタ MN22 のゲート電極に NAND ゲート ND12 の出力を与え、入力、PMOS トランジスタ MP13 および NMOS トランジスタ

MN14 のゲート電極に NAND ゲート ND13 の出力を与え、PMOS トランジスタ MP23 および NMOS トランジスタ MN24 のゲート電極に NAND ゲート ND14 の出力を与えて、ゲート入力を共通化している点である。

【0243】図 27 に示す MRAM 100 においては、NMOS トランジスタ MN11、MN13 の、MN21 および MN23 のゲートには、オン状態において $V_{DD} + \Delta V_{DD}$ の電圧が印加されるので、ゲート電圧に V_{DD} しかかからない NMOS トランジスタ MN12、MN14、MN22 および MN24 に比べて、ゲート絶縁膜にかかる負担が大きくなる可能性があった。

【0244】しかしながら、図 31 に示す MRAM 200 においては、PMOS トランジスタ MP11、MP13、MP21 および MP23 を採用することで、ゲートに V_{DD} 以上の電圧を印加せずに済むので、ゲート絶縁膜にかかる負担は小さくなる。

【0245】また、PMOS トランジスタ MP11、MP13、MP21 および MP23 を採用することで、NMOS トランジスタ MN12、MN14、MN22 および MN24 とゲート入力の共通化を図ることができ、PMOS トランジスタ MP11 および NMOS トランジスタ MN12、PMOS トランジスタ MP21 および NMOS トランジスタ MN22、PMOS トランジスタ MP13 および NMOS トランジスタ MN14、PMOS トランジスタ MP23 および NMOS トランジスタ MN24 はインバータ (ドライバ、バッファ) を形成し、MRAM 100 に比べて消費電力を低減できる。

【0246】図 32 は、読み出しおよび書き込み時の、MRAM 200 における各種電流および電圧のタイミングチャートである。

【0247】MRAM 200 においては、PMOS トランジスタ MP11、MP13 と、NMOS トランジスタ MN12、MN14 のそれぞれのゲート入力を共通化しているため、ゲート電圧 V_{11} および V_{12} のタイミングチャートが同じとなり、またゲート電圧 V_{13} および V_{14} のタイミングチャートが同じとなる。

【0248】また、PMOS トランジスタ QP11 と NMOS トランジスタ QN12 のゲート入力を共通化 (PMOS トランジスタ QP21 と NMOS トランジスタ QN22 のゲート入力も同様) しているため、ゲート電圧 V_{11} および V_{12} のタイミングチャートが同じとなるが、基本的な動作は MRAM 100 と同じである。

【0249】なお、本例においては、電圧 V_b = ソース電圧 V_{SS} 、電圧 V_w = ドレイン電圧 V_{DD} と想定している。すなわち、MTJ の特性が図 29 に示したものと同一である場合には、ドレイン電圧 V_{DD} は各 MRAM セルの p-n 接合ダイオードに印加される電圧に 0.1V を足した値に、ほぼ等しく設定される。

【0250】また、図には示さないが、MRAM 100

および 200 の読み出し／書き込み制御回路は、隣接する MRAM セルアレイと共有しても良い。この場合、共有した分だけ装置面積を縮小する効果を奏する。

【0251】 < B-5. 変形例 2 > 本発明に係る実施の形態 2 の変形例 2 として、図 33 に MRAM 300 を示す。なお、MRAM 300 は図 31 を用いて説明した MRAM 200 とほぼ同様の構成を有しており、異なるのは PMOSTランジスタ MP11 および NMOSTランジスタ MN12、PMOSTランジスタ MP13 および NMOSTランジスタ MN14、PMOSTランジスタ MP21 および NMOSTランジスタ MN22、PMOSTランジスタ MP23 および NMOSTランジスタ MN24 のそれぞれのドレイン電極間に、NMOSTランジスタ MN15、MN16、MN25、MN26 を挿入した点と、PMOSTランジスタ QP11 および NMOSTランジスタ QN12、PMOSTランジスタ QP21 および NMOSTランジスタ QN22 のそれぞれのドレイン電極間に、NMOSTランジスタ QN1 および QN2 を挿入した点である。

【0252】 なお、NMOSTランジスタ MN15、MN16、MN25、MN26、QN1 および QN2 のゲート電圧は、直流電圧 V_{GG} に固定される。

【0253】 これらの NMOSTランジスタの目的は、リーク電流の低減である。すなわち、MOSFET のリーク電流は、ドレイン端での高電圧に起因する BTBT (Band to band tunneling) TAT (Trap Assisted Tunneling)、インパクトイオン化 (Impact Ionization) や SRH (Shockley-Read-hall process) が、その原因である。

【0254】 リーク電流を低減するには、ドレイン端の電界を低減すれば良く、例えば PMOSTランジスタ MP11 および NMOSTランジスタ MN12 のドレイン電極間に NMOSTランジスタ MN15 を挿入し、NMOSTランジスタ MN15 のゲート電圧を所定の直流電圧 (ここでは電圧 V_{GG}) に設定することにより、NMOSTランジスタ MN12 および MN15 に与えられるドレイン電圧を低減することができる。

【0255】 例えば、電圧 V_{GG} を $V_{DD}/2 + V_{thn}$ (NMOSTランジスタ MN15 のしきい値電圧) に設定し、NMOSTランジスタ MN15 を常時オン状態にするように与える。すると、NMOSTランジスタ MN12 がオン状態になった場合、NMOSTランジスタ MN15 と合わせて、2 つの抵抗が直列に接続された状態となり、抵抗分割により NMOSTランジスタ MN12 および MN15 に加わるストレス電圧 (ドレイン電圧 V_{DD}) が等しくなるため、MN12 および MN15 のトータルのリーク電流は、NMOSTランジスタ MN15 を挿入しない場合、すなわち NMOSTランジスタ MN12 だけの場合のリーク電流に比べて、大幅に低減することができ、消費電力を低減することができる。

【0256】 なお、電圧 V_{GG} を $V_{DD}/2 + V_{thn}$ としたのは、この設定により NMOSTランジスタ MN12 および MN15 に加わるストレス電圧が等しく最小になるとの知見に基づくものであるが、実施にあたっては、消費電力が低減されるのであれば、この電圧に限定されるものではない。

【0257】 以上の効果は、NMOSTランジスタ MN16、MN25 および MN26 においても同様である。

【0258】 また、PMOSTランジスタ QP11 および NMOSTランジスタ QN12、PMOSTランジスタ QP21 および NMOSTランジスタ QN22 のそれぞれのドレイン電極間に挿入した NMOSTランジスタ QN1 および QN2 によってもリーク電流を大幅に低減でき、消費電力を低減することができる。

【0259】 また、以上の説明においては、データの書き込み時に MRAM セルアレイのビット線には双方向の電流が流れ、ワード線には一方の電流が流れると想定したが、ビット線に一方の電流が流れ、ワード線に双方向の電流が流れるようにしても良い。

【0260】 また、MRAMセルの p-n 接合ダイオードの代わりに、MOSFET や TFT (Thin Film Transistor) やバイポーラトランジスタ等のオン/オフ特性を持つ素子を用いても良い。

【0261】 < C. 実施の形態 3 >

< 本実施の形態の特徴 > 本発明の実施の形態 3 に係る MRAM は、MRAMセルアレイのワード線あるいはビット線を、複数のサブワード線あるいはサブビット線に分割することの特徴としている。

【0262】 すなわち、配線の抵抗率を ρ 、配線の長さを l 、配線の断面積を S とすると、配線抵抗 R は、次式 (9) で与えられる。

【0263】

【数 9】

$$R = \rho \frac{l}{S} \quad \dots (9)$$

【0264】 また、配線に流れる電流を I とすると、消費電力 P は次式 (10) で与えられる。

【0265】

【数 10】

$$P = RI^2 = \rho \frac{lI^2}{S} \quad \dots (10)$$

【0266】 従って、配線の長さ l を短くすれば、消費電力が低減することが判る。例えば、配線を 2 分割すると、消費電力は 2 分の 1 になり、 n 分割 (ただし、 n は 2 以上の整数) すると、消費電力は n 分の 1 になり、MRAM において書き込み時の消費電力を低減することができる。

【0267】 また、同じワード線に接続しているメモリセルの個数が増加すると、負荷容量が増加する。その結果、ワード線を伝送する信号の遅延時間が増加し、高速

アクセスができないという欠点が生じる。

【0268】しかしながら、ワード線を複数のサブワード線に分割して配線の長さを短くすることにより、同一の配線に接続されるメモリセルの個数が減少するため、負荷容量が低減される。その結果、ワード線を分割しないメモリ装置に比べて遅延時間を短くすることができ、高速アクセスを実現することができる。これはビット線においても同様である。以下、本発明の実施の形態3に係るMRAMの具体的な構成について説明する。

【0269】＜C-1. ワード線の分割＞

＜C-1-1. 装置構成＞図34に、ワード線を分割したMRAM400の構成をブロック図で示す。図34に示すようにMRAM400は、複数のMRAMセルアレイ66を有している。

【0270】各MRAMセルアレイ66は、複数のワード線64の第1の端子に接続された行読み出し／書き込み第1制御回路RRW1および第2の端子に接続された行読み出し／書き込み第2制御回路RRW2と、複数のビット線69の第1の端子に接続された列読み出し／書き込み第1制御回路CRW1および第2の端子に接続された列読み出し／書き込み第2制御回路CRW2とを有している。

【0271】なお、上記各制御回路は実施の形態2において説明したMRAM100～300と同様とし、同じ符号を付しているが、これらに限定されるものではない。

【0272】そして、各MRAMセルアレイ66に対応して、図示しない列デコーダに接続されるメモリセルアレイ選択線70が複数配設されている。

【0273】また、行デコーダを構成する複数のANDゲート62の出力に、それぞれメインワード線67が接続されている。なお、メインワード線67の本数は各MRAMセルアレイ66のワード線の本数に一致する。

【0274】複数のメモリセルアレイ選択線70と複数のメインワード線67との交差部には、メモリセルアレイ選択線70およびメインワード線67を入力とする2入りのANDゲート61がそれぞれ接続され、その出力が、行読み出し／書き込み第1制御回路RRW1を介してサブワード線64に接続されている。このサブワード線64が各MRAMセルアレイ66のワード線となる。

【0275】＜C-1-2. 装置動作＞以下、MRAM400の動作について説明する。例えば、メモリセルアレイ選択線70の1つとメインワード線67の1つが活性化すると、活性化したメモリセルアレイ選択線70およびメインワード線67に接続されるANDゲート61が、その出力に接続されたサブワード線64を活性化する。

【0276】この場合、活性化したメインワード線67はMRAMセルには直接に接続されないので、その容量には、MRAMセルアレイ66を構成するMRAMセル

の容量が含まれない。従って、複数のMRAMセルアレイに渡る1本のワード線によりMRAMセルを選択する構成に比べて、ワード線に含まれる容量が大幅に低減する。

【0277】さらに、1つのMRAMセルアレイ66を横切るだけのサブワード線64は、容量および抵抗に起因する遅延（CR遅延）が無視できるほど短く構成することで、MRAM400は、特定のMRAMセルを選択する時間を本質的に低減することができ、MRAMの動作速度を向上させることができる。

【0278】ここでMRAMセルの容量について説明する。一例として、MRAMセルがMTJ（磁気トンネル接合）とpn接合ダイオードとの直列接続で構成される場合を想定する。

【0279】この場合、MRAMセル容量 C_M は以下の数式(11)に示すように、MTJの容量 C_{TMR} とpn接合ダイオードの接合容量 C_D とを直列に接続した容量となる。

【0280】

【数11】

$$\frac{1}{C_M} = \frac{1}{C_{TMR}} + \frac{1}{C_D} \quad \dots (11)$$

【0281】図34に示すMRAM400においては、選択されたMRAMセルアレイ66中のサブワード線64に接続しているMRAMセルのみアクセスされるので、サブワード線64とビット線69との間を流れる電流は、ワード線を分割しない構成に比べて、MRAMセルアレイの個数の逆数に比例して減少し、消費電力を低減することができる。

【0282】なお、MRAM400においてはサブワード線64を制御する論理ゲートとして、ANDゲートを用いているが、ANDゲートに限定されるものではなく、例えば、NANDゲート、NORゲート、XORゲート等の他の論理ゲートを用いても、メモリセルアレイ選択線70およびメインワード線67の「High」あるいは「Low」を表す論理と、その逆の論理（「Low」あるいは「High」）を組み合わせて上記論理ゲートに力入することで、MRAM400と同様の効果を奏する。ここで、論理の「High」および「Low」とは、各信号電圧の高値あるいは低値の何れかに相当する。

【0283】＜C-2. ワード線の階層化＞

＜C-2-1. 装置構成＞図35に、ワード線を階層化したMRAM500の構成をブロック図で示す。図35に示すようにMRAM500は、m個のMRAMセルアレイ85を有して構成されるn個のメモリセルアレイ群861～86nを備えている。

【0284】メモリセルアレイ群861を例に採れば、各MRAMセルアレイ85は、複数のワード線83の第1の端子に接続された行読み出し／書き込み第1制御回路RRW1および第2の端子に接続された行読み出し／

書き込み第2制御回路RRW2と、複数のビット線89の第1の端子に接続された読出し／書き込み第1制御回路CRW1および第2の端子に接続された読出し／書き込み第2制御回路CRW2とを有している。

【0285】そして、各MRAMセルアレイ85に対応して、図示しない列デコーダに接続されるm本のメモリアルレイ選択線911～91mが配設されている。

【0286】また、複数のANDゲート（サブグローバルデコーダ）81の出力に、それぞれメインワード線84が接続されている。なお、メインワード線84の本数は各MRAMセルアレイ85のワード線の本数に一致する。

【0287】メモリアルレイ選択線911～91mと複数のメインワード線84との交差部には、メモリアルレイ選択線911～91mの何れかとメインワード線84の1つとを入力とする2入力のANDゲート（ローカル行デコーダ）82がそれぞれ接続され、その出力が、行読み出し／書き込み第1制御回路RW1を介して、サブワード線83に接続されている。このサブワード線83が各MRAMセルアレイ85のワード線となる。

【0288】また、複数のサブグローバルデコーダ81の第1の入力の全ては、メモリアルレイ群861に対応して配設されたメモリアルレイ群選択線901に共通に接続されている。

【0289】そして、複数のサブグローバルデコーダ81の第2の入力のそれぞれは、複数のANDゲート（メイングローバルデコーダ）80の出力に接続されるグローバルワード線87を介して、メイングローバルデコーダ80の出力に接続されている。

【0290】メモリアルレイ群選択線901～90nは、グローバルワード線87とは異なる配線であり、両者は交差するように配設されている。

【0291】なお、他のメモリアルレイ群もメモリアルレイ群861と同じ構成を有し、それぞれ複数のサブグローバルデコーダ81に接続され、それぞれの複数のサブグローバルデコーダ81もメモリアルレイ群選択線に接続されている。

【0292】すなわち、メモリアルレイ群861～86nのそれぞれに対応して、メモリアルレイ群選択線901～90nが配設され、メモリアルレイ群861～86nにそれぞれ接続される複数のサブグローバルデコーダ81の第2の入力は、それぞれグローバルワード線87を介して、複数のメイングローバルデコーダ80の出力に接続されている。

【0293】なお、複数のメイングローバルデコーダ80は、アドレス信号線群88に接続されている。

【0294】＜C-2-2. 装置動作＞以下、MRAM500の動作について説明する。メモリアルレイ群861～86nは、メモリアルレイ群選択線901～9

0nにより何れかが選択され、メモリアルレイ群861～86n内の複数のMRAMセルアレイ85は、メモリアルレイ選択線911～91mにより選択される。

【0295】メモリアルレイ群861～86nの動作は、図34を用いて説明したMRAM400と同様であり、例えば、メモリアルレイ選択線911とメインワード線84の1つが活性化すると、活性化したメモリアルレイ選択線911とメインワード線84に接続されるANDゲート82が、その出力に接続されたサブワード線83を活性化する。

【0296】この場合、活性化したメインワード線84の容量には、MRAMセルアレイ85を構成するMRAMセルの容量が含まれないため、複数のMRAMセルアレイに渡る1本のワード線によりMRAMセルを選択していた従来のMRAMに比べて、ワード線に含まれる容量が大幅に低減する。

【0297】また、例えば、メモリアルレイ群選択線901とグローバルワード線87の1つが活性化すると、活性化したメモリアルレイ群選択線901とグローバルワード線87に接続されるANDゲート81が、その出力に接続されたメインワード線84を活性化する。

【0298】この場合、活性化したグローバルワード線87の容量には、メモリアルレイ群861～86nを構成するMRAMセルアレイ85の容量が含まれないため、複数のメモリアルレイ群に渡る1本のワード線によりMRAMセルを選択する構成に比べて、ワード線に含まれる容量が大幅に低減する。

【0299】従って、ワード線83とビット線89との間を流れる電流は、ワード線を階層化しない従来のMRAMに比べて、MRAMセルアレイの個数の逆数に比例して減少するだけでなく、メモリアルレイ群の個数の逆数に比例して減少し、消費電力を低減することができる。

【0300】＜C-2-3. ワード線が階層化されたMRAMの全体構成＞図36にワード線が階層化されたMRAMの全体構成の一例を示す。図36においては、4個のMRAMセルアレイ851～854を有して構成される。4個のメモリアルレイ群861～864を備えたMRAMを示しており、4個のメモリアルレイ群861～864のそれぞれに対応して、4本のメモリアルレイ群選択線901～904が配設されている。また、各メモリアルレイ群においては、4個のMRAMセルアレイ851～854に対応して、4本のメモリアルレイ選択線911～914が配設されている。

【0301】なお、図36においてはMRAMセルアレイ85等の各構成は単純なブロックで表し、グローバルワード線87等の各配線経路を矢印で模式的に示している。図36から、いわゆるワード線が階層化されていることが判る。

【0302】<C-3. ビット線の分割>

<C-3-1. 装置構成>図37に、ビット線を分割したMRAM600の構成をブロック図で示す。図37に示すようにMRAM600は、複数のMRAMセルアレイ166を有している。

【0303】各MRAMセルアレイ166は、複数のワード線160の第1の端子に接続された行読み出し/書き込み第1制御回路RRW1および第2の端子に接続された行読み出し/書き込み第2制御回路RRW2と、複数のビット線164の第1の端子に接続された列読み出し/書き込み第1制御回路CRW1および第2の端子に接続された列読み出し/書き込み第2制御回路CRW2とを有している。

【0304】なお、上記制御回路は実施の形態2において説明したMRAM100〜300と同様とし、同じ符号を付しているが、これらに限定されるものではない。

【0305】そして、各MRAMセルアレイ166に対応して、図示しない行デコーダに接続されるメモリセルアレイ選択線170が複数配設されている。

【0306】また、列デコーダを構成する複数のANDゲート162の出力に、それぞれメインビット線167が接続されている。なお、メインビット線167の本数は各MRAMセルアレイ166のビット線の本数に一致する。

【0307】複数のメモリセルアレイ選択線170と複数のメインビット線167との交差部には、メモリセルアレイ選択線170およびメインビット線167を入力とする2入力のNANDゲート161がそれぞれ接続され、その出力が、列読み出し/書き込み第1制御回路CRW1を介してサブビット線164に接続されている。このサブビット線164が各MRAMセルアレイ166のビット線となる。

【0308】<C-3-2. 装置動作>以下、MRAM600の動作について説明する。例えば、メモリセルアレイ選択線170の1つとメインビット線167の1つが活性化すると、活性化したメモリセルアレイ選択線170およびメインビット線167に接続されるNANDゲート161が、その出力に接続されたサブビット線164を活性化する。

【0309】この場合、活性化したメインビット線167は、MRAMセルには直接に接続されないで、その容量にはMRAMセルアレイ166を構成するMRAMセルの容量が含まれない。従って、複数のMRAMセルアレイに渡る1本のビット線によりMRAMセルを選択する構成に比べて、ビット線に含まれる容量が大幅に低減する。

【0310】さらに、1つのMRAMセルアレイ166を横切るだけのサブビット線164は、容量および抵抗に起因する遅延（CR遅延）が無視できるほど短くできるので、MRAM600は、特定のMRAMセルを選択

する時間を本質的に低減することができ、MRAMの動作速度を向上させることができる。

【0311】MRAMセルの容量については、数式(11)を用いて説明しているので重複する説明は省略するが、図37に示すMRAM600においては、選択されたMRAMセルアレイ166中のサブビット線164に接続しているMRAMセルのみアクセスされるので、サブビット線164とワード線169との間を流れる電流は、ビット線を分割しない構成に比べて、MRAMセルアレイの個数の逆数に比例して減少し、消費電力を低減することができる。

【0312】なお、MRAM600においてはサブビット線164を制御する論理ゲートとして、NANDゲートを用いているが、NANDゲートに限定されるものではなく、例えばANDゲート、NORゲート、XORゲート等の他の論理ゲートを用いても、メモリセルアレイ選択線170およびメインビット線167の「High」あるいは「Low」を表す論理と、その逆の論理「Low」あるいは「High」を組み合わせることで上記論理ゲートに入力することで、MRAM600と同様の効果を奏する。ここで、論理の「High」および「Low」とは、各信号電圧の高値あるいは低値の何れかに相当する。

【0313】<C-4. ビット線の階層化>

<C-4-1. 装置構成>図38に、ビット線を階層化したMRAM700の構成をブロック図で示す。図38に示すようにMRAM700は、m個のMRAMセルアレイ185を有して構成されるn個のメモリセルアレイ群1861〜186nを備えている。

【0314】メモリセルアレイ群1861を例に採れば、各MRAMセルアレイ185は、複数のワード線189の第1の端子に接続された行読み出し/書き込み第1制御回路RRW1および第2の端子に接続された行読み出し/書き込み第2制御回路RRW2と、複数のビット線183の第1の端子に接続された列読み出し/書き込み第1制御回路CRW1および第2の端子に接続された列読み出し/書き込み第2制御回路CRW2とを有している。

【0315】そして、各MRAMセルアレイ185に対応して、図示しない行デコーダに接続されるm本のメモリセルアレイ選択線1911〜191mが配設されている。

【0316】また、複数のANDゲート（サブグローバルデコーダ）181の出力に、それぞれメインビット線184が接続されている。なお、メインビット線184の本数は各MRAMセルアレイ185のビット線の本数に一致する。

【0317】メモリセルアレイ選択線1911〜191mと複数のメインビット線184との交差部には、メモリセルアレイ選択線1911〜191mの何れかとメインビット線184の1つとを入力とする2入力のAND

ゲート（ローカル列デコーダ）182がそれぞれ接続され、その出力が、列読み出し/書き込み第1制御回路CRW1を介して、サブビット線183に接続されている。このサブビット線183が各MRAMセルアレイ185のワード線となる。

【0318】また、複数のサブグローバルデコーダ181の第1の入力の全ては、メモリセルアレイ群1861に対応して配設されたメモリセルアレイ群選択線1901に共通に接続されている。

【0319】そして、複数のサブグローバルデコーダ181の第2の入力のそれぞれは、複数のANDゲート（メイングローバルデコーダ）180の出力に接続されるグローバルビット線187を介して、メイングローバルデコーダ180の出力に接続されている。

【0320】メモリセルアレイ群選択線1901～190nは、グローバルビット線187とは異なる配線であり、両者は交差するように配設されている。

【0321】なお、他のメモリセルアレイ群もメモリセルアレイ群1861と同じ構成を有し、それぞれ複数のサブグローバルデコーダ181に接続され、それぞれの複数のサブグローバルデコーダ181もメモリセルアレイ群選択線に接続されている。

【0322】すなわち、メモリセルアレイ群1861～186nのそれぞれに対応して、メモリセルアレイ群選択線1901～190nが配設され、メモリセルアレイ群1861～186nにそれぞれ接続される複数のサブグローバルデコーダ181の第2の入力は、それぞれグローバルビット線187を介して、複数のメイングローバルデコーダ180の出力に接続されている。

【0323】なお、複数のメイングローバルデコーダ180は、アドレス信号線群188に接続されている。

【0324】＜C-4-2. 装置動作＞以下、MRAM700の動作について説明する。メモリセルアレイ群1861～186nは、メモリセルアレイ群選択線1901～190nにより何れかが選択され、メモリセルアレイ群1861～186n内の複数のMRAMセルアレイ185は、メモリセルアレイ選択線1911～191mにより選択される。

【0325】メモリセルアレイ群1861～186nの動作は、図37を用いて説明したMRAM600と同様であり、例えば、メモリセルアレイ選択線1911とメインビット線184の1つが活性化すると、活性化したメモリセルアレイ選択線1911とメインビット線184に接続されるANDゲート182が、その出力に接続されたサブビット線183を活性化する。

【0326】この場合、活性化したメインビット線184の容量には、MRAMセルアレイ185を構成するMRAMセルの容量が含まれないため、複数のMRAMセルアレイに渡る1本のビット線によりMRAMセルを選択していた従来のMRAMに比べて、ビット線に含まれ

る容量が大幅に低減する。

【0327】また、例えば、メモリセルアレイ群選択線1901とグローバルビット線187の1つが活性化すると、活性化したメモリセルアレイ群選択線1901とグローバルビット線187に接続されるANDゲート181が、その出力に接続されたメインビット線184を活性化する。

【0328】この場合、活性化したグローバルビット線187の容量には、メモリセルアレイ群1861～186nを構成するMRAMセルアレイ185の容量が含まれないため、複数のメモリセルアレイ群に渡る1本のビット線によりMRAMセルを選択する構成に比べて、ビット線に含まれる容量が大幅に低減する。

【0329】従って、ビット線183とワード線189との間を流れる電流は、ビット線を階層化しない従来のMRAMに比べて、MRAMセルアレイの個数の逆数に比例して減少するだけでなく、メモリセルアレイ群の個数の逆数に比例して減少し、消費電力を低減することができる。

【0330】なお、以上説明した実施の形態3においては、ワード線およびビット線のそれぞれについて、分割および階層化した例について説明したが、これらを組み合わせ、ワード線およびビット線の両方を分割した構成、あるいはワード線およびビット線の両方を階層化した構成としても良い。このような構成を採ることで、さらなる消費電力の低減およびMRAMの動作速度をさらに向上させることができる。

【0331】＜D. 実施の形態4＞

＜本実施の形態の特徴＞本発明の実施の形態4に係るMRAMは、インダクタで発生した磁界を用いて、複数のMRAMセルの記憶データを一括消去あるいは一括書き込みすることを特徴とする。

【0332】＜D-1. 装置構成＞図39は本発明の実施の形態4に係るMRAM800の構成を示す斜視図である。図39において、互いに平行に配設されたワード線1、2および3の上部において交差するように、ビット線4、5および6が互いに平行に配設され、ワード線およびビット線で挟まれる各交点にMRAMセルMCが形成されてMRAMセルアレイMCA1を構成している。

【0333】MRAMセルMCの構成は図1を用いて説明しており、重複する説明は省略するが、MRAMセルMCを構成するソフト磁性体層のイージーアクセスの方向は矢示するように各ワード線の延在方向である。

【0334】そして、MRAMセルアレイMCA1を取り巻くようにコイル状のインダクタIDが配設されている。

【0335】インダクタIDは、金属配線をコイル状に接続して構成され、ワード線1～3が延在する方向に沿って巻き回されている。

【0336】そして、インダクタIDの両端部は、電流を双方向に流すことができるインダクタ駆動回路（図示せず）に接続されており、インダクタIDに流す電流の向きを変換することで、インダクタIDで囲まれる領域に発生する磁界の方向を変更することができる構成となっている。なお、インダクタIDにより発生する磁界は、ワード線1～3が延在する方向、すなわち、MRAMセルMCを構成するソフト強磁性体層のイージーアクセスの方向にほぼ一致している。

【0337】従って、MRAMセルレイムCA1の複数のMRAMセルMCに対して、データの一括消去、あるいは、一括書き込みを行う場合には、インダクタ駆動回路からインダクタIDに所定方向に電流を流し、発生する磁界によってソフト強磁性体層のスピンを一齐に変換することができる。

【0338】なお、図39においては説明の便宜上、3行3列のメモリセルアレイが示されているが、行と列のサイズは、これに限定されるものではない。

【0339】また、インダクタID、ワード線1～3、ビット線4～6等の各導体線間、気体、あるいは、固体の絶縁体が配設されているが、図39では便宜的に表示を省略している。

【0340】また、図39では、説明の便宜上、インダクタIDの巻き線のピッチは、MRAMセルレイムCA1のピッチより大きく示しているが、これに限定されるものではない。

【0341】また、MRAMセルMCの構成に特に限定はなく、例えば図30を用いて説明した2重磁気トンネル接合を有する構成であっても良く、少なくとも1つの磁気トンネル接合を有していれば良い。例えば、少なくとも1つの磁気トンネル接合と静磁気結合で磁束をループし、磁性体/非磁性体/磁性体構造を備えたメモリセルでも良い。

【0342】また、インダクタは、ソフト強磁性体層のイージーアクセスの方向に一致する磁界を発生できるものであればコイル状でなくとも良い。

【0343】ここで、図39におけるA-A線での断面図である図40～図42を用いて、MRAM800の動作について説明する。なお、インダクタIDの巻き線ピッチは、説明の便宜上、図39とは異なるピッチで示している。

【0344】図40は、一括消去前の状態の一例を示している。図40に示すようにMRAMセルMCはpn接合ダイオードPNの上部に、磁気トンネル接合（MTJ）が配設された構成を有している。そしてビット線5の下部のMRAMセルMCを構成するソフト強磁性体層22のスピン方向は図に向かって左を向いており、他のMRAMセルMCのスピン方向は右を向いている。そして、一括消去動作および一括書き込み動作をしない状態、すなわち、インダクタIDがスタンバイの状態では、

インダクタIDは接地されている。これにより、外部のノイズを遮断してMRAMセルレイムCA1を保護する効果を奏する。

【0345】図41は一括消去の状態の一例を示している。一括消去の信号がインダクタ駆動回路に入力されると、インダクタIDに第1の方向の電流が流れ、矢示するように右方向の磁界が発生する。このとき、インダクタIDのピッチが狭いほど、インダクタ内部の磁界が外部へ漏れることが少なくなり、効率よく磁界を発生することができる。

【0346】ここで、消去を表すスピンの方向を図中の右向きとすると、インダクタ内部に発生した右方向の磁界により、全てのMRAMセルMCのソフト強磁性体層22のスピンが同時に右側を向き、データが一括消去される。

【0347】図42は一括書き込みの状態の一例を示している。一括書き込みの信号がインダクタ駆動回路に入力されると、インダクタIDに第1の方向とは反対の第2の方向に電流が流れ、矢示するように左方向の磁界が発生する。

【0348】ここで、書き込みを表すスピンの方向を図中の左向きとすると、インダクタ内部に発生した左方向の磁界により、全てのMRAMセルMCのソフト強磁性体層22のスピンが同時に左を向き、データが一括して書き込まれる。

【0349】＜D-2. 作用効果＞複数のMRAMセルの記憶データを一括消去あるいは同じデータを一括して書き込む場合、ワード線とビット線で逐一アドレスを選択して記憶データを消去あるいは書き込む方法では、時間がかかり、かつ、消費電力も大きい。

【0350】一方、本実施の形態によるMRAMでは、複数のMRAMセルのデータを一括消去あるいは一括書き込みできるため、短時間で処理でき、かつ、インダクタIDにより効率よく磁界を発生させるので、消費電力も少なくて済む。

【0351】＜D-3. 変形例＞複数のMRAMセルの記憶データを一括消去あるいは一括書き込みするためには、インダクタ以外の構成を探ることもできる。

【0352】図43に、本実施の形態4の変形例としてMRAM900の平面構成を示す。なお、図43においては、説明の便宜上、4行4列のMRAMセルレイムCA2を示しているが、行と列のサイズは、これに限定されるものではない。

【0353】図43に示すように、MRAMセルレイムCA2の上下に、データの一括処理のためのフラッシュビット線FBLおよびフラッシュワード線FWLを配設している。

【0354】フラッシュビット線FBLおよびフラッシュワード線FWLは、それぞれ複数のビット線BL1およびワード線WL1が配列された領域全域に対応して設

けられ、図43においては何れも平面視形状が矩形形状となっている。

【0355】図43においてはワード線WL1の上部においてビット線BL1が交差する構成となっており、ワード線WL1およびビット線BL1の交差部の両線の間にMRAMセルMCが配設されている。

【0356】そして、フラッシュワード線FWLはワード線WL1の下部に、フラッシュビット線FBLはビット線BL1の上部に配設されている。なお、図43においては最上部のフラッシュビット線FBLを便宜的に、部分的に削除して示している。

【0357】図43におけるA-A線およびB-B線の断面構成を、図44および図45にそれぞれ示す。

【0358】図45に示すようにMRAMセルMCはpn接合ダイオードPNの上部に、磁気トンネル接合(MTJ)が配設された構成を有している。

【0359】このように、MRAMセルアレイMCA2の上下に、フラッシュビット線FBLおよびフラッシュワード線FWLを配設し、一括消去あるいは一括書き込みの際には、フラッシュビット線FBLおよびフラッシュワード線FWLに所定方向の電流を流すことで、全てのMRAMセルMCのソフト強磁性体層のスピンを同時に同じ方向に向けることで一括消去あるいは一括書き込みが実現できる。

【0360】なお、フラッシュビット線FBLおよびフラッシュワード線FWLにおいて、一括消去あるいは一括書き込みのために流す電流の方向は、MRAMセルMCに、個々にデータの消去あるいは書き込みを行う際にビット線BL1およびワード線WL1流す電流の方向と同じにすれば良い。

【0361】なお、フラッシュビット線FBLおよびフラッシュワード線FWLは、両方備えても良いし、片方のみでも良い。すなわち、発生する磁界は電流の大きさに比例するので、電流を多く流せば、一方だけでもスピンの反転は可能である。

【0362】なお、フラッシュビット線FBLおよびフラッシュワード線FWLの両方を用い、両線により同じ大きさの磁界を発生させる方が、スピンを反転させるのに必要な電流の総和は小さくできる。

【0363】また、一括消去動作および一括書き込み動作による状態、すなわちフラッシュビット線FBLおよびフラッシュワード線FWLのスタンバイ時には、フラッシュビット線FBLおよびフラッシュワード線FWLを接地することで、外部の磁界や電界に起因するノイズを遮蔽して、MRAMセルアレイMCA2を保護する効果を奏する。

【0364】なお、以上説明したMRAM900においては、MRAMセルアレイMCA2を1つ有する構成を示したが、MRAMセルアレイを複数有する構成においても適用可能である。当該構成をMRAM900Aとし

て図46に示す。

【0365】図46に示すように、MRAM900Aにおいては複数のMRAMセルアレイMCA2がマトリックス状に配設されており、MRAMセルアレイMCA2の配列に対応するように、MRAMセルアレイMCA2の配列の上下に、データの一括処理のためのグローバルフラッシュビット線GBLおよびグローバルフラッシュワード線GWLをマトリックス状に配設している。

【0366】グローバルフラッシュビット線GBLおよびグローバルフラッシュワード線GWLは、図43に示すフラッシュビット線FBLおよびフラッシュワード線FWLと同じ機能を有し、説明は省略するが、複数のMRAMセルアレイMCA2に共通に使用されるので名称を変更している。

【0367】なお、以上説明したフラッシュビット線FBLおよびフラッシュワード線FWL、グローバルフラッシュビット線GBLおよびグローバルフラッシュワード線GWLの制御回路は、図27、図31、図33において説明した、行読み出し/書き込み第1制御回路RRW1、行読み出し/書き込み第2制御回路RRW2、および列読み出し/書き込み第1制御回路CRW1、列読み出し/書き込み第2制御回路CRW2を使用しても良い。

【0368】また、図46に示すMRAM900Aのように、複数のMRAMセルアレイMCA2を有する構成においては、一括消去あるいは一括書き込みの対象となるMRAMセルアレイMCA2と同じ列および同じ行における非選択のMRAMセルアレイMCA2においても電流が流れる可能性があるため、消費電流を低減する目的で、図34～図38を用いて説明した、分割されたワード線、分割されたビット線、階層化されたワード線、階層化されたビット線の技術的思想を、グローバルフラッシュビット線GBLおよびグローバルフラッシュワード線GWLに適用しても良い。

【0369】＜E. 実施の形態5＞

＜本実施の形態の特徴＞本発明の実施の形態5に係るMRAMは、インダクタとキャパシタのLC共振を利用し、電流をリサイクルし、少なくとも1回以上の記憶データの書き換えに利用することを特徴とする。

【0370】＜E-1. 装置構成＞図47は本発明の実施の形態5に係るMRAM1000の平面構成を示す図である。図47においてMRAMセルアレイMCA3の複数のビット線BL1の第1の端部にマルチプレクサMUX1が接続され、第2の端部にマルチプレクサMUX2が接続されている。また、複数のワード線WL1の第1の端部にはドレイン電圧VDDが与えられ、複数のワード線WL1のそれぞれの第2の端部にはNMOSトランジスタQN1が接続されている。

【0371】また、マルチプレクサMUX1には複数のビット線BL1の本数に対応して設けられた複数のNM

OSトランジスタQM1が接続され、各NMOSTランジスタQM1のソース電極にはキャパシタCP1が接続されている。

【0372】また、マルチプレクサMUX2は、2本のビット線BL1に対して1つのインダクタID1が接続されるように構成されており、結果的にマルチプレクサMUX2には、複数のビット線BL1の総数の半分に相当する個数のインダクタID1が接続されている。

【0373】なお、ビット線BL1およびワード線WL1には、図26を用いて説明した列デコーダや行デコーダ、および制御回路が接続されているが、それらは本実施の形態との関連が薄く、また説明の簡略化のため図示および説明は省略する。

【0374】<E-2. 装置動作>次に、MRAM1000の動作について説明する。なお、以下においては便宜的に、ビット線BL1にBL1aおよびBL1bの符号を付けて区別する場合もある。

【0375】まず、選択アドレスを含むワード線WL1が選択され、当該選択ワード線WL1に直流電流IDCが流れる。

【0376】次に、選択アドレスを含むビット線BL1がマルチプレクサMUX1により選択され、当該選択ビット線BL1aを経由して書き込み電流I1がマルチプレクサMUX2に流れ込む。この場合、マルチプレクサMUX2によって、選択ビット線BL1aに接続されるインダクタID1が選択され、書き込み電流I1のエネルギーがインダクタID1中に磁場として保存される。

【0377】上記インダクタID1に接続される、もう一方のビット線BL1をマルチプレクサMUX2によって選択しておく、インダクタID1を流れた書き込み電流I1が当該選択ビット線BL1bに流れ、電流I2として再利用することができる。

【0378】この電流I2は、マルチプレクサMUX1を経由して、空けるキャパシタCP1に電荷として蓄えられ、再びマルチプレクサMUX1およびMUX2を適宜接続することで原理的に何度でも書き込みをすることができる。

【0379】なお、複数のNMOSTランジスタQM1はキャパシタCP1への電荷の蓄積および、キャパシタCP1からの電荷の放出のタイミングに合わせてオン・オフ制御され、また、複数のNMOSTランジスタQN1は、ワード線WL1に直流電流IDCを流すタイミングに合わせてオン・オフ制御される。

【0380】<E-3. 作用効果>以上説明したように、ビット線BL1における書き込み電流をインダクタID1およびキャパシタCP1のLC共振を利用してリサイクルすることで、書き込み時の消費電力を低減することができる。

【0381】<E-4. 変形例>本実施の形態の変形例として、図48にMRAM1100の平面構成を示す。

MRAM1100においては、図47に示したMRAM1000の構成に加えて、MRAMセルアレイMCA3の複数のワード線WL1の第一の端部にマルチプレクサMUX3が接続され、第2の端部にマルチプレクサMUX4が接続されている。

【0382】また、マルチプレクサMUX3には複数のワード線WL1の本数に対応して設けられた複数のNMOSTランジスタQN1が接続され、各NMOSTランジスタQN1のソース電極にはキャパシタCP2が接続されている。

【0383】また、マルチプレクサMUX4は、2本のワード線WL1に対して1つのインダクタID2が接続されるように構成されており、結果的にマルチプレクサMUX4には、複数のビット線WL1の総数の半分に相当する個数のインダクタID2が接続されている。

【0384】このような構成のMRAM1100においては、ビット線BL1における書き込み電流だけでなく、ワード線WL1における書き込み電流をインダクタID2およびキャパシタCP2のLC共振を利用してリサイクルすることができ、書き込み電流の消費に起因する消費電力をさらに低減することができる。

【0385】なお、インダクタID2およびキャパシタCP2のLC共振による書き込み電流のリサイクル動作は、インダクタID1およびキャパシタCP1のLC共振によるそれと同様であるので説明は省略する。

【0386】また、インダクタID1およびキャパシタCP1、インダクタID2およびキャパシタCP2において消費される電流については、マルチプレクサMUX1~MUX4に設けられた、一般的な電流検出型補償回路によって補償される。

【0387】なお、インダクタID1およびID2としては、例えば、配線を渦巻状に巻き回して形成されたスパイラルインダクタを用いれば良い。

【0388】図47および図48に示す構成は一例であり、LC共振を利用して書き込み電流のリサイクルを図ることができるのであれば上記構成に限定されるものではない。

【0389】<F. 実施の形態6>

<本実施の形態の特徴>本発明の実施の形態5に係る磁性体基板は、予め主面上に磁気トンネル接合(MTJ)となる多層膜が形成されていることを特徴としている。

【0390】<F-1. 基板構成>図49に本発明の実施の形態5に係る磁性体基板の断面構成を示す。図49において、シリコン基板SBの主面全面に、シリコン酸化膜あるいはシリコン窒化膜等の絶縁膜IL1が配設され、その上に、後にワード線あるいはビット線となる導体層ML1が配設されている。

【0391】導体層ML1の上部には、比較的高濃度のn型不純物を有するn型シリコン層SF1および比較的高濃度のp型不純物を有するp型シリコン層SF2が積

層されている。この2層は後にp n接合ダイオードとなる。

【0392】そして、p型シリコン層SF2の上部には、後にタングステンスタッドとなるタングステン層STDが形成され、タングステン層STD上には後にMTJとなる多層膜が配設されている。

【0393】すなわち、下から順に、白金(Pt)で構成されるテンプレート層TPL、Ni₈₁Fe₁₉のパーマロイで構成される初期強磁性体層IFL(膜厚4nm)、Mn₅₄Fe₄₆で構成される反磁性体層AFL(膜厚10nm)、CoFeと、CoFeあるいはNi₈₁Fe₁₉のパーマロイで構成される強磁性体層FFL(膜厚8nm)、Al₂O₃で構成されるトンネルバリア層TBL、膜厚2nmのCoFeと膜厚20nmのNi₈₁Fe₁₉の多層膜で構成されるソフト強磁性体層FML、Ptで構成されるコンタクト層CLを備えている。

【0394】また、コンタクト層CLの上部には、後にワード線あるいはビット線となる導体層ML2が配設され、最上部には金属層の酸化防止膜として絶縁膜IL2が配設されている。

【0395】このような磁性体基板を販売すれば、ユーザーはフォトレジストマスキを用いて、例えばアルゴンイオンミリングでパターンニングすることで、例えば図39に示すようなMRAMセルアレイMCA1を形成することができる。

【0396】<F-2. 作用効果>このように、主面上に予めp n接合ダイオードおよびMTJとなる多層膜が形成された磁性体基板を基板メーカーが販売し、ユーザーは当該磁性体基板を用いることで、単なるシリコン基板を準備し、その主面上に多層膜を形成する場合に比べて製造工程を省略でき、製造コストを削減できる。

【0397】<F-3. 変形例>図50に、SOI(Silicon On Insulator)基板の主面上に、予め、p n接合ダイオードおよびMTJとなる多層膜が形成された磁性体基板を示す。

【0398】図50においては、シリコン基板SB上に埋め込み酸化膜BXが配設され、埋め込み酸化膜BX上にSOI層SIが配設されている。そして、SOI層SI上には図49示すのと同じ多層膜が配設されている。

【0399】図31および図33を用いて説明したように、MRAMにはMOSFETが必要である。そして、SOI層上にMOSFETを形成すると寄生容量を低減できるので、MOSFETの動作速度を速くして、結果的にはMRAMの動作速度も速くすることができ。

【0400】なお、以上説明した実施の形態6においては、磁気トンネル接合となる多層膜がバルクシリコン基板やSOI基板上に堆積された構成を示し、それを磁性体基板と呼称したが、磁気トンネル接合となる多層膜(薄膜磁性体の多層膜)は、ガラス基板や樹脂基板上に堆積しても良く、土台となる基板の種類は半導体基板に

限定されない。

【0401】従って、本発明においては、何らかの基板を土台として薄膜磁性体の多層膜を堆積した構成を薄膜磁性体基板と呼称している。

【0402】<G. 実施の形態7>

<本実施の形態の特徴>本発明の実施の形態7に係るMRAMは、基板の主面上に形成された各種機能ブロックの上に形成されていることを特徴とする。

【0403】<G-1. 装置構成>まず、本実施の形態との差異を説明するため、図51に、従来の一般的な半導体記憶装置の構成をブロック図で示す。

【0404】図51において、メモリアルレイ31の周辺回路として、列アドレスバッファ31、行デコーダ32、列読み出し/書き込み制御回路33、行アドレスバッファ34、行デコーダ35および行読み出し/書き込み制御回路36が、メモリアルレイ31の周囲に配設されている。

【0405】また、その他の機能ブロックとして、装置外部との信号の送受信を行う入出力バッファ(1/Oバッファ)、および上記信号が規格値よりも大きかったり(overshoot)、小さかったり(undershoot)した場合に、規格値に戻すESD(Electric Static Discharge)回路44、変調されている信号を復調したり、信号を変調する機能を有する変調/復調回路(Modulator/Demodulator)43、デジタル信号を処理する機能を有するDSP(Digital Signal Processing)42、メモリアルレイ31と周辺回路間のデータの授受の仲介(一時的にデータを保持したり、周辺回路とメモリアルレイ31間のデータの送受信の同期を取るなど)を行う、ファーストキャッシュ51およびセカンドキャッシュ52、メモリアルレイ31のデータの入出力を制御する入出力コントローラ(1/Oコントローラ53)、データの演算処理を行うCPU(Micro processor)41を備えている。

【0406】従来の半導体記憶装置、例えばDRAM、SRAMおよびEEPROM等では、メモリアルレイにMOSFETを含むため、半導体基板の主面上に形成する必要があり、結果的に、メモリアルレイが各機能ブロックと同一の半導体基板の主面表面上に形成されていた。

【0407】ここで、図52に本発明の実施の形態7に係るMRAM1200の構成をブロック図で示す。

【0408】図52において、MRAMセルアレイMCAは、MRAMセルアレイMCAの周辺回路、すなわち、列アドレスバッファCAB、列デコーダCD、列読み出し/書き込み制御回路CRW、行アドレスバッファRAB、行デコーダRDおよび行読み出し/書き込み制御回路RRWの配設領域の上部にオーバーラップして配設されている。

【0409】なお、周辺回路の構成は、例えば図26を

用いて説明した構成と同様であり、またその他の機能ブロックについては従来からの半導体記憶装置と同様であるので説明は省略する。

【0410】<G-2. 作用効果>MRAMセルアレイMCAは、図28、図31および図33を用いて説明したように、その内部にMOSFETを含まず、半導体素子としてはp-n接合ダイオードのみを含むもので、形成領域が基板の主面表面に限定されることはない。

【0411】従って、MRAMセルアレイMCA以外の構成、すなわちMRAMセルアレイMCAの周辺回路を含め、各種機能ブロックは基板の主面表面上に形成し、MRAMセルアレイMCAはその上層に形成することで装置面積を削減できる。

【0412】<G-3. 変形例>図53に本実施の形態の変形例としてMRAM1300の構成をブロック図で示す。

【0413】図53に示すようにMRAM1300においては、MRAMセルアレイMCAが、周辺回路および各種機能ブロックが形成された領域の上部全体にオーバーラップして配設されている。

【0414】このように、MRAMセルアレイMCAと、周辺回路および各種機能ブロックとを別個の層に形成することで、MRAMセルアレイMCAの配設位置や大きさの選択の自由度が増すことになり、装置面積を削減できるとともに、装置レイアウトの選択性も高めることができる。

【0415】<H. 実施の形態8>
<本実施の形態の特徴>本発明の実施の形態8に係るMRAMは、MRAMセルアレイと、MRAMセルアレイの周辺回路および各種機能ブロックとを別個の半導体チップとし、両チップをモジュールとして1つのパッケージに収納したMCP (Multi Chip Package) の形態を採用することを特徴とする。

【0416】<前論>MRAMセルアレイの周辺回路および各種機能ブロックの製造時の最大形成温度は1000~1200℃程度であり、一方、MRAMセルアレイの製造時の最大形成温度はキュリウム温度で決まり400~700℃程度である。

【0417】両者を同一の半導体基板上に形成する場合、形成温度の違いによる不具合を防止するため、最大形成温度が400~700℃程度である配線工程においてMRAMセルアレイを形成している。

【0418】そのため、MRAMの製造工程においては工程がシーケンシャルになり、製造コストがかかる問題があった。

【0419】一方、昨今では1つのパッケージに複数の半導体チップを収納したMCP構造が使用されつつある。このような現状に鑑み、発明者等は、MRAMセルアレイと、MRAMセルアレイの周辺回路および各種機能ブロックとを別個の半導体チップとし、両チップをモ

ジュールとして1つのパッケージに収納した構成のMRAMであれば上記問題は解決との結論に達したが、現実MCP構造のMRAMを得るには、従来のパッケージ構造ではMRAMに対応できないという認識に至った。

【0420】以下、MCP構造のMRAMを実現するための課題を説明した上で、実施の形態8に係るMRAM2000の構成について説明する。

【0421】<H-1. 従来のMCP構造について>半導体装置を含む半導体チップの実装方法として、従来、QFP (Quad FlatPackage) が用いられていたが、実装面積が大きいのという問題点があった。そこで、チップ面積とほとんど同じ大きさの実装面積で済むCSP (Chip Size Package) が近年、使われ始めている。この実装方法は、QFPに比べてはるかに小さな実装面積で済むので、携帯電話用LSIやPC (Personal Computer) 用DRAM等に用いられている。

【0422】図54に、従来のCSPの構成の一例を断面図で示す。図54において、半導体チップ122は、箱形のパッケージ129の内部に収納され、半導体チップ122の下表面はパッシベーション膜123によって覆われて外部環境から保護されている。

【0423】パッシベーション膜123は窒化シリコン膜や酸化シリコン膜等の絶縁膜で構成され、パッシベーション膜123には複数の開口部が設けられ、半導体チップ122の入出力端子となるチップ電極132が、パッシベーション膜123を貫通する構成となっている。

【0424】パッケージ129は有底無蓋の箱状をなし、その開口部から半導体チップ122が挿入される。ここで、パッケージ129の開口部は最終的には底面基板134によって覆われる。当該底面基板134の本体はポリイミド樹脂等の絶縁材で構成され、その外側に面した主面には、複数の遮蔽用半田パンプ125および信号伝送用半田/バンプ127が配設されている。

【0425】底面基板134は、遮蔽用半田パンプ125および信号伝送用半田/バンプ127を内部の構成に電気的に接続する複数の内部配線130および131を有している。

【0426】内部配線130および131は、何れも底面基板134の内側に向いた主面上に配設されたキャリアフィلم124に接続されている。後に説明するように、キャリアフィلم124は絶縁フィلم上に配設された電気配線 (パッドを含む) と接着層133とを有している。信号伝送用半田/バンプ127からの電気信号は、内部配線130およびキャリアフィلم124のパッドに接続しているチップ電極132を介して半導体チップ122に伝達される。また、接着層133は、キャリアフィلم124と半導体チップ122とを接着する。なお、図54には示されていないが、キャリアフィلم124は底面基板134とも別の接着層により接着

されている。

【0427】また、底面基板134の内部には導体で構成される遮蔽電極126が埋め込まれている。遮蔽電極126の平面視形状は矩形環状をなし、内部配線130が遮蔽電極126に接触せずに通過できる開口部を有した構造となっている。図54は遮蔽電極126の開口部を切断する位置での断面図であり、当該開口部は破線で示している。

【0428】遮蔽電極126は、遮蔽用半田バンプ125および内部配線131を介して電源電位あるいは接地電位に固定され、内部配線130が外部の電気ノイズを拾うことを防止することができる。

【0429】また、半導体チップ122を囲むようにキャリアフィルム124の上主面上に遮蔽電極126bが配設されている。遮蔽電極126bは平面視形状が矩形環状の平板であり、キャリアフィルム124上の電気配線を介して内部配線131に電気的に接続され、電源電位あるいは接地電位に固定される。

【0430】遮蔽電極126bを覆うように応力緩和膜135が配設されている。応力緩和膜135は、半導体チップ122と底面基板134との間の応力を緩和する働きをする。

【0431】応力緩和膜135の断面形状は本来は矩形であるが、半導体チップ122の端縁部とキャリアフィルム124との間に挟まれ、変形するとともに部分的に厚さが薄くなる。すなわち、半導体チップ122の端縁部とキャリアフィルム124とに挟まれた部分に応力が集中するが、厚さが薄くなることで応力が緩和される。

【0432】応力緩和膜135には、例えば熱可塑性エラストマーが用いられる。熱可塑性エラストマーは、常温ではゴム弾性を示すが、高温では可塑化され、各種成形加工ができる高分子材料である。

【0433】また、半導体チップ122と応力緩和膜135との接合材にはエポキシ樹脂等が使用される。熱可塑性エラストマーの体積膨張率は約 2.7×10^{-6} であるのに対し、シリコンの体積膨張率は約 3.1×10^{-6} であり、体積膨張率の差が小さいので、熱応力を緩和できる。

【0434】半導体パッケージにおいて、端子数の増大とパッケージの小型化を両立させるためには、内部配線が長く、かつ、細く、ノイズを拾いやすくなるという問題点があるので、遮蔽電極126と遮蔽用半田バンプ125が配設されている。また、半導体チップ122と底面基板134との間の熱応力が大きくなり、電気的接続の信頼性が低下することを防止するために応力緩和膜135が配設されている。

【0435】遮蔽電極126の機能は上述した通りであり、遮蔽電極126は内部配線131を介して遮蔽用半田バンプ125に接続されている。そして、遮蔽用半田バンプ125は信号伝送用半田バンプ127の周囲を囲

むように配設され、信号伝送用半田バンプ127を介して内部配線130が外部の電気的ノイズを拾うことを防止する機能を有している。なお、図示は省略するが、遮蔽用半田バンプ125および信号伝送用半田バンプ127は、配線がプリントされたマザーボードに接続される。

【0436】また、従来においてMCP構造はQFPにおいてのみ実現されていた。図55にQFPを用いたMCP構造の断面構成を示す。図55においては、1つのパッケージ107内に3つの半導体チップ102a、102bおよび102cが積み重ねられて配設され、樹脂106で封止されている。

【0437】一例として、半導体チップ102a、102cがSRAM、半導体チップ102bがフラッシュEPROMである。

【0438】各半導体チップ間には内部配線109によって接続され、外部との電気的接続は、ボンディングワイヤ112を介して外部リード線113によりなされる。

【0439】このような構成とすることで、1つのパッケージに1つの半導体チップしか有さないものよりも、同一占有面積に対して、より多くのメモリ容量を得ることができる。それゆえ、携帯情報端末に対して需要が多い。

【0440】しかしながら、QFPはチップ面積に比べて実装面積が大きくなり、かつ、外部リード線がノイズを拾いやすいという問題点があった。

【0441】このように、CSPにしてもQFPにしても一長一短があり、さらに、MRAMにおいては、外部磁界の影響でソフト強磁性体層のスピンが反転することを防止する必要があることで、従来のパッケージの構成をそのまま採用することはできなかった。

【0442】<H-2. 装置構成>以下、図56～図65を用いて実施の形態8に係るMRAM2000の構成について説明する。

【0443】図56にMRAM2000の断面構成を、また図57にMRAM2000を下側から見た平面構成を示す。なお、図56は、図57におけるA-A線での断面を示している。

【0444】図56に示すように、MRAMセルアレイの周辺回路および各種機能ブロックを含む半導体チップ122は、パーマロイ(Ni80Fe20)等の高透磁率の導体で構成される箱形の遮蔽体SHBに収納されている。

【0445】遮蔽体SHBの材料として、例えばMRAMメモリセルに用いられるソフト強磁性体と同等か、それよりも大きな透磁率を有する強磁性体として、パーマロイの他にスーパパーマロイ(Mo5Ni79Fe16)を用いても良い。保磁力が大きい強磁性体は永久磁石として働き、周辺の電気機器に影響を与える可能性もあるので、保磁力の小さい強磁性体が望ましい。パーマロイスー

パーロイ、 $Mn_{50}Zn_{50}$ 等のフェライトはこの条件を満たす材料である。

【0446】遮蔽体SHBの内壁面には、熱可塑性エラストマーで構成される応力緩和膜235が配設されている。応力緩和膜235は半導体チップ122と遮蔽体SHBとの応力を緩和する働きをする。

【0447】遮蔽体SHBは、その本体部となる筒状の外枠部237と、外枠部237の一端を覆う上部板238と、外枠部237の他方端を覆う下部板236とを有して構成され、応力緩和膜235は上部板238および外枠部237の内面に配設されている。

【0448】また、下部板236には開口部が設けられ、当該開口部を半導体チップ122に接続された内部配線130が貫通する構成となっている。

【0449】パッケージ129は有底無蓋の箱状をなし、その開口部から半導体チップ122を有した遮蔽体SHBが挿入される。

【0450】パッケージ129は遮蔽体SHBを収納し、さらに空間的な余裕を有する大きさであり、遮蔽体SHBとパッケージ129の内壁との間には、エポキシ樹脂等の樹脂で構成される樹脂材128が配設されている。

【0451】パッケージ129の開口部は最終的には底面基板134によって覆われる。当該底面基板134の本体はポリイミド樹脂等の絶縁材で構成され、その外側に面した主面には、複数の遮蔽用半田バンプ125および信号伝送用半田バンプ127が配設されている。なお、底面基板134はキャリアフィルム124や下部板236等に塗布された接着剤により固定される。

【0452】底面基板134は、遮蔽用半田バンプ125および信号伝送用半田バンプ127を内部の構成に電気的に接続する複数の内部配線130および131を有している。

【0453】内部配線130および131は、何れも底面基板134の内側に向いた主面上に配設されたキャリアフィルム124に接続されるように配設され、内部配線131はキャリアフィルム124上に配設されているパッドおよび電気配線を介して遮蔽体SHBの下部板236に電気的に接続されている。

【0454】また、内部配線131は、底面基板134の内部に埋め込まれた導体で構成される遮蔽電極126に電気的に接続されている。なお、遮蔽電極126の一部は、必ずしも内部配線130および131と同一断面内に存在するわけではないので、図56においては破線で示している。

【0455】なお、遮蔽電極126は電源電位あるいは接地電位に固定され、内部配線130が外部の電気ノイズを拾うことを防止する働きをする。

【0456】半導体チップ122の入出力端子となるチップ電極132は、キャリアフィルム124上に設けら

れているパッド（フィルム電極）に直接に接続され、当該キャリアフィルム124上にバターニングされているフィルム電極および電気配線を介して内部配線130に電気的に接続されている。なお、内部配線130は信号伝送用半田バンプ127に接続されている。

【0457】信号伝送用半田バンプ127は、外部と内部の半導体チップとの電気信号の授受を行うための端子であり、遮蔽用半田バンプ125は遮蔽体SHBの電位を接地電位に固定する端子である。

【0458】また、図57に示すように遮蔽用半田バンプ125は信号伝送用半田バンプ127を囲むように配設されている。

【0459】なお、信号伝送用半田バンプ127および遮蔽用半田バンプ125は、底面基板134に加わる応力を、取り付け基板（マザーボード）に分散する機能を有しており、遮蔽用半田バンプ125を設けることで、半田バンプ1個あたりに加わる応力を低減することができる。

【0460】＜H-3. 実装方法＞次に、図58～図62を用いてMRAM2000の実装方法の概略について説明する。なお、図58～図62はMRAM2000の実装方法を模式的に示すものであり、図56に示す構成を正確に表すものではない。

【0461】図58において、底面基板134の上部にキャリアフィルム124が接着されて、キャリアフィルム124上に応力緩和膜223が接着されている。

【0462】応力緩和膜223は矩形環状をなし、キャリアフィルム124に設けられたフィルム電極219の配設領域を囲むように配設されている。また、応力緩和膜223には矩形環状の溝224が形成されており、溝224内には遮蔽体SHBの下部板236（図56）が配設されている。なお、溝224内に下部板236が配設された構成は図64（a）、図64（b）に示す。

【0463】また、図示は省略するが、後の工程で、溝224に沿って遮蔽体SHBの外枠部237（図46）が配設され、下部板236に接続される。

【0464】なお、応力緩和膜223が矩形環状をなしているため、図58に示すX方向およびY方向において同様に応力を緩和することができる。

【0465】絶縁体であるキャリアフィルム124上に配設されたフィルム電極219は、内部配線130を介して信号伝送用半田バンプ127に接続される。

【0466】なお、キャリアフィルム124上のフィルム電極219および内部配線130を適宜バターニングすることで、各バンプと各チップ電極との接続を任意に設定できる。

【0467】キャリアフィルム124には、フィルム電極219の他に接着層133が選択的に配設されている。接着層133は、半導体チップ122をキャリアフィルム124と接着するためのものである。

【0468】次に、図59に示す工程において、半導体チップ122の各チップ電極が、キャリアフィルム124の各フィルム電極に接触するように半導体チップ122を搭載し、接着層133により半導体チップ122を固定する。

【0469】図60は、図59に示す状態の底面基板134を逆転させた状態を示してあり、底面基板134には半球形の半田バンプ形成孔211が配設されている。内部配線130および131（図56参照）は半田バンプ形成孔211の内壁面に達しており、後の工程で半田バンプ形成孔211内を半田バンプが埋めると、半田バンプと内部配線130および131とが電氣的に接続されることになる。なお、半田バンプの代わりに導電性ボリマーを用いても良い。

【0470】図61は、半田バンプ形成孔211上に信号伝送用半田バンプ127および遮蔽用半田バンプ125を配設した状態を示している。

【0471】そして、応力緩和膜235（図56）を内部に有した遮蔽体SHBで半導体チップ122を覆った後、有底無蓋のパッケージ129に挿入し、隙間に樹脂等の封止剤を注入することで、図62に示すように裏面に、信号伝送用半田バンプ127および遮蔽用半田バンプ125を有した構成を得る。

【0472】ここで、図63、図64（a）および図64（b）を用いて、遮蔽体SHBを構成する下部板236と、応力緩和膜233の平面視形状を説明する。なお、図63は、図56におけるB-B線での概略の断面構成を示し、図64（a）および図64（b）は、図63におけるC-C線およびD-D線での断面構成を示している。

【0473】図63に示すように、下部板236は中央に矩形の開口部OPを有する矩形の平板で構成され、底面基板134側には、遮蔽用半田バンプ125に電氣的に接続する矩形環状の遮蔽電極126（図56）が配設される。なお、遮蔽電極126の外形状は下部板236の外形状と略同じである。

【0474】なお、応力緩和膜233は遮蔽体SHBの開口部端縁の内側および外側に配設され、また応力緩和膜235（図56参照）が遮蔽体SHBの内側全体に配設されているので、半導体チップ231と半導体チップ232に加わる外部からの応力を低減できる。

【0475】<H-4. 作用効果>以上説明した実施の形態8に係るMRAM2000によれば、MRAMセルアレイを含む半導体チップ122を外部磁界から遮蔽する遮蔽体SHBで囲むようにしたので、外部磁界によりMRAMセルのスピンの向きが反転して磁化の方向、すなわちデータが書き換えられることを防止できる。

【0476】また、応力緩和膜233が遮蔽体SHBの開口部端縁の内側および外側に配設され、遮蔽体SHBの内側には応力緩和膜235が配設されているので、M

RAM2000を取り付ける取り付け基板（マザーボード）の曲がり、温度サイクルに起因する外部からの応力が半導体チップ122に加わることを低減できる。

【0477】<H-5. 変形例1>なお、以上説明したMRAM2000では、実装する半導体チップは1つとして示したが、図65に示すMRAM2100のように、MRAMセルアレイの周辺回路および各種機能ブロックが含まれた半導体チップ122a（回路チップ）の上に、MRAMセルアレイを含む半導体チップ122b（磁気記憶チップ）を載置する構成としても良い。

【0478】半導体チップ122aは両主面にチップ電極を備え、半導体チップ122aと半導体チップ122bとは、両者の間に配設されたキャリアフィルム124b上のフィルム電極および電気配線により接続される。また、半導体チップ122aと半導体チップ122bとは接着層133により接着固定される。

【0479】なお、半導体チップ122aと信号伝送用半田バンプ127との電氣的な接続は、図65に示す半導体チップ122と信号伝送用半田バンプ127との接続と同じであり、キャリアフィルム124がキャリアフィルム124aとなっている点以外はMRAM2000と基本的には同じであるので説明は省略する。

【0480】また、半導体チップ122aと半導体チップ122bとは、上下関係を逆に配設しても良い。その場合には、半導体チップ122bの両面にチップ電極を配設すれば良い。

【0481】また、半導体チップ122aと半導体チップ122bとの組み合わせは、少なくとも1方のチップにMRAMセルアレイが配設されていれば良く、公知の半導体チップの任意の組み合わせが可能である。

【0482】図65に示すMRAM2100では、MRAMセルアレイの周辺回路および各種機能ブロックが含まれた半導体チップ122aとMRAMセルアレイを含む半導体チップ122bとを別々に製造し、組み合わせるため、形成温度の違いを考慮する必要がなく、個々の形成温度を最適化できる。そして、半導体チップ122aおよび122bを別々に製造するため、製造工程がバラバラに進行し、製造時間が短縮できる。

【0483】<H-6. 変形例2>図56に示すMRAM2000では、遮蔽体SHBの材料に、強磁性体を用いたが、その代わりにIr（イリジウム）を20～30atom.%含むIrMn等の反強磁性体を用いても同様の効果を奏する。

【0484】また、図66に示すMRAM2200のように、遮蔽体SHBを、強磁性体136aと反強磁性体136bとの多層膜で構成しても良い。その場合、底面基板134中の遮蔽電極126も同様に強磁性体126aと反強磁性体126bの多層膜とする。なお、多層膜の上下関係は上記に限定されない。

【0485】

【発明の効果】本発明に係る請求項1記載の磁気記憶装置によれば、少なくとも1つの磁気トンネル接合が、ソフト強磁性体層の磁化の容易な方向であるイーザーアックスが、複数のビット線および複数のワード線の延在方向に対して40〜45度の角度を有するように配設されているので、少ない書き込み電流で、ソフト強磁性体層の磁化の方向を確実に反転でき、書き込み時の消費電力を低減することができる。

【0486】本発明に係る請求項2記載の磁気記憶装置によれば、磁気トンネル接合の平面視形状において、イーザーアックスに平行な辺が、イーザーアックスに直交する辺よりも長くなるように矩形に構成されているので、形状に起因する異方性により、イーザーアックスを定めることが容易となり、イーザーアックスが変化することを防止できる。

【0487】本発明に係る請求項3記載の磁気記憶装置によれば、第1および第2の切り替え手段により、ビット線の第1および第2の端部を第1あるいは第2の電源に切り替えて接続できるので、ビット線に双方向の電流を流すことができ、磁気トンネル接合の磁化の方向を変化させて、データの書き込みや消去が可能となる。

【0488】本発明に係る請求項4記載の磁気記憶装置によれば、第1および第2の切り替え手段を同一導電型の第1〜第4のMOSTランジスタで構成するので、製造が容易となる。

【0489】本発明に係る請求項5記載の磁気記憶装置によれば、第1の切り替え手段を導電型の異なる第1および第2のMOSTランジスタで構成し、第2の切り替え手段を、導電型の異なる第3および第4のMOSTランジスタで構成するので、第1および第2のMOSTランジスタの一方、および第3および第4のMOSTランジスタの一方の制御電極に、オン状態において電源電圧以上の電圧を加える必要がなくなり、ゲート絶縁膜にかかる負担を小さくできる。

【0490】本発明に係る請求項6記載の磁気記憶装置によれば、第1および第2のMOSTランジスタの第1の主電極間、第3および第4のMOSTランジスタの第1の主電極間に、常時オン状態となる第5、第6のMOSTランジスタをそれぞれ備えているので、第1および第2のMOSTランジスタの一方の第1の主電極、および第3および第4のMOSTランジスタの一方の第1の主電極に加わるストレス電圧を低減し、ストレス電圧に起因するリーク電流を低減して、消費電力を低減できる。

【0491】本発明に係る請求項7記載の磁気記憶装置によれば、複数のメモリセルアレイを有する磁気記憶装置において、複数のメモリセルアレイに渡る複数のメインワード線と、単一のメモリセルアレイだけに渡るワード線を用いることで、同一の配線に直接に接続されるメモリセルの個数が減少するので、負荷容量が低減され

る。その結果、負荷容量に起因する遅延時間を短くして、高速アクセスを実現することができる。

【0492】本発明に係る請求項8記載の磁気記憶装置によれば、複数のメモリセルアレイを有するメモリセルアレイ群を複数備える磁気記憶装置において、単一のメモリセルアレイだけに渡るワード線と、複数のメモリセルアレイに渡る複数のメインワード線と、複数のメモリセルアレイ群に渡る複数のグローバルワード線を用いることで、同一の配線に直接に接続されるメモリセルの個数が減少するので、負荷容量が低減される。その結果、負荷容量に起因する遅延時間を短くして、高速アクセスを実現することができる。

【0493】本発明に係る請求項9記載の磁気記憶装置によれば、複数のメモリセルアレイを有する磁気記憶装置において、複数のメモリセルアレイに渡る複数のメインビット線と、単一のメモリセルアレイだけに渡るビット線を用いることで、同一の配線に直接に接続されるメモリセルの個数が減少するので、負荷容量が低減される。その結果、負荷容量に起因する遅延時間を短くして、高速アクセスを実現することができる。

【0494】本発明に係る請求項10記載の磁気記憶装置によれば、複数のメモリセルアレイを有するメモリセルアレイ群を複数備える磁気記憶装置において、単一のメモリセルアレイだけに渡るビット線と、複数のメモリセルアレイに渡る複数のメインビット線と、複数のメモリセルアレイ群に渡る複数のグローバルビット線を用いることで、同一の配線に直接に接続されるメモリセルの個数が減少するので、負荷容量が低減される。その結果、負荷容量に起因する遅延時間を短くして、高速アクセスを実現することができる。

【0495】本発明に係る請求項11記載の磁気記憶装置によれば、ソフト強磁性体層の磁化の容易な方向であるイーザーアックスに沿った方向に磁界を発生させるインダクタを備えることで、少なくとも1つの磁気トンネル接合を有する複数のメモリセルのデータを一括消去あるいは一括書き込みできるので、短時間での処理が可能となる。

【0496】本発明に係る請求項12記載の磁気記憶装置によれば、コイル状のインダクタにより効率よく磁界を発生させるので、複数のメモリセルのデータを一括消去あるいは一括書き込みする場合の消費電力が少なくて済む。

【0497】本発明に係る請求項13記載の磁気記憶装置によれば、少なくとも1つのメモリセルアレイの、複数のビット線および複数のワード線の外側に、フラッシュビット線およびフラッシュワード線を備え、これらに所定方向の電流を流すことで、少なくとも1つの磁気トンネル接合を有する複数のメモリセルのデータを一括消去あるいは一括書き込みできるので、短時間での処理が可能となる。

【0498】本発明に係る請求項14記載の磁気記憶装置によれば、複数のメモリセルアレイがマトリックス状に配設された磁気記憶装置において、フラッシュビット線およびフラッシュワード線も、複数のメモリセルアレイの配列に沿って、マトリックスを構成するように配設することで、複数のメモリセルアレイのデータを一括消去あるいは一括書き込みできるので、短時間での処理が可能となる。

【0499】本発明に係る請求項15記載の磁気記憶装置によれば、選択されたビット線およびワード線の少なくとも1方に流れる電流を、LC共振によって保存する少なくとも1つのインダクタと、少なくとも1つのキャパシタとを備えるので、書き込み電流をリサイクルすることができ、書き込み時の消費電力を低減することができる。

【0500】本発明に係る請求項16記載の磁気記憶装置によれば、ビット線における書き込み電流をリサイクルするための具体的構成を得ることができる。

【0501】本発明に係る請求項17記載の磁気記憶装置によれば、ワード線における書き込み電流をリサイクルするための具体的構成を得ることができる。

【0502】本発明に係る請求項18記載の磁気記憶装置によれば、導体で構成される遮蔽体内に少なくとも1つの半導体チップを収納することで、少なくとも1つの磁気トンネル接合を含む複数のメモリセルにおいて、磁気トンネル接合の磁化の方向が外部磁界によって反転し、データが書き換えられることを防止できる。

【0503】本発明に係る請求項19記載の磁気記憶装置によれば、少なくとも1つの半導体チップが第1および第2の応力緩和膜によって保持されるので、外部からの応力が複数の半導体チップに加わることを低減できる。

【0504】本発明に係る請求項20記載の磁気記憶装置によれば、磁気記憶チップと、メモリセルアレイの周辺回路を含む回路チップとに分けることで、両者別々に製造することになり、形成温度の違いを考慮する必要がなく、個々の形成温度を最適化できる。また、製造工程がバラレルに進行し、製造時間が短縮できる。

【0505】本発明に係る請求項21記載の磁気記憶装置によれば、遮蔽体が、ソフト強磁性体層と同等か、それよりも大きな透磁率を有する強磁性体で構成されるので、外部磁界を有効に遮蔽することができる。

【0506】本発明に係る請求項22記載の磁気記憶装置によれば、遮蔽体が、反強磁性体で構成されるので外部磁界を有効に遮蔽することができる。

【0507】本発明に係る請求項23記載の磁気記憶装置によれば、遮蔽体が、強磁性体と反強磁性体との多層膜で構成されるので外部磁界を有効に遮蔽することができる。

【0508】本発明に係る請求項24記載の磁性体基板

によれば、全面全域に配設された、少なくとも1つの磁気トンネル接合を形成する多層膜を少なくとも有しているため、少なくとも1つの磁気トンネル接合を有するメモリセルを備えた磁気記憶装置を製造する場合、単なる半導体基板を準備し、その主面上に多層膜を形成する場合に比べて製造工程を省略でき、製造コストを削減できる。

【0509】本発明に係る請求項25記載の磁性体基板によれば、単磁気トンネル結合を有するメモリセルを備えた磁気記憶装置の製造に適した磁性体基板が得られる。

【0510】本発明に係る請求項26記載の磁性体基板によれば、単磁気トンネル結合の下部にpn接合ダイオードを有したメモリセルを備えた磁気記憶装置の製造に適した半導体基板が得られる。

【0511】本発明に係る請求項27記載の磁性体基板によれば、MOSFETの寄生容量を低減できるSOI基板上に少なくとも1つの磁気トンネル接合が形成されることになるので、MOSFETの動作速度を速くして、結果的には磁気記憶装置動作速度も速くすることができる。

【図面の簡単な説明】

【図1】 MRAMセルの構成を示す斜視図である。

【図2】 一般的なMRAMセルアレイの構成を示す図である。

【図3】 一般的なMRAMセルアレイの動作を説明する図である。

【図4】 スピンを反転させるのに必要な磁界の関係を示す図である。

【図5】 本発明に係る実施の形態1のMRAMセルアレイの構成を示す図である。

【図6】 本発明に係る実施の形態1のMRAMセルアレイの動作を説明する図である。

【図7】 本発明に係る実施の形態1のMRAMセルアレイの構成を示す図である。

【図8】 本発明に係る実施の形態1のMRAMセルアレイの動作を説明する図である。

【図9】 一般的なMRAMセルの動作を説明する図である。

【図10】 一般的なMRAMセルの動作を説明する図である。

【図11】 本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図12】 本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図13】 本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図14】 本発明に係る実施の形態1のMRAMセルの動作を説明する図である。

【図15】 スピンを反転させるのに必要な磁界の関係

を示す図である。

【図 16】 一般的な MRAM セルの動作を説明する図である。

【図 17】 一般的な MRAM セルの動作を説明する図である。

【図 18】 本発明に係る実施の形態 1 の MRAM セルの動作を説明する図である。

【図 19】 本発明に係る実施の形態 1 の MRAM セルの動作を説明する図である。

【図 20】 本発明に係る実施の形態 1 の MRAM セルの動作を説明する図である。

【図 21】 本発明に係る実施の形態 1 の MRAM セルの動作を説明する図である。

【図 22】 本発明に係る実施の形態 1 の MRAM セルの動作を説明する図である。

【図 23】 本発明に係る実施の形態 1 の MRAM セルの動作を説明する図である。

【図 24】 本発明に係る実施の形態 1 の MRAM セルの動作を説明する図である。

【図 25】 本発明に係る実施の形態 1 の MRAM セルの動作を説明する図である。

【図 26】 本発明の実施の形態 2 に係る MRAM の構成を示すブロック図である。

【図 27】 本発明の実施の形態 2 に係る MRAM の構成を示す回路図である。

【図 28】 本発明の実施の形態 2 に係る MRAM の動作を示すタイミングチャートである。

【図 29】 磁気トンネル抵抗の変化率の印加電圧依存性を示す図である。

【図 30】 2重磁気トンネル接合の構成を示す図である。

【図 31】 本発明の実施の形態 2 に係る MRAM の構成を示す回路図である。

【図 32】 本発明の実施の形態 2 に係る MRAM の動作を示すタイミングチャートである。

【図 33】 本発明の実施の形態 2 に係る MRAM の構成を示す回路図である。

【図 34】 本発明の実施の形態 3 に係る MRAM のワード線を分割した構成を示すブロック図である。

【図 35】 本発明の実施の形態 3 に係る MRAM のワード線を階層化した構成を示すブロック図である。

【図 36】 本発明の実施の形態 3 に係る MRAM のワード線を階層化した構成を示す概念図である。

【図 37】 本発明の実施の形態 3 に係る MRAM のビット線を分割した構成を示すブロック図である。

【図 38】 本発明の実施の形態 3 に係る MRAM のビット線を階層化した構成を示すブロック図である。

【図 39】 本発明の実施の形態 4 に係る MRAM の構成を示す斜視図である。

【図 40】 本発明の実施の形態 4 に係る MRAM の動

作を説明する断面図である。

【図 41】 本発明の実施の形態 4 に係る MRAM の動作を説明する断面図である。

【図 42】 本発明の実施の形態 4 に係る MRAM の動作を説明する断面図である。

【図 43】 本発明の実施の形態 4 に係る MRAM の変形例の構成を示す平面図である。

【図 44】 本発明の実施の形態 4 に係る MRAM の変形例の構成を示す断面図である。

【図 45】 本発明の実施の形態 4 に係る MRAM の変形例の構成を示す断面図である。

【図 46】 本発明の実施の形態 4 に係る MRAM の変形例の構成を示す平面図である。

【図 47】 本発明の実施の形態 5 に係る MRAM の構成を示す断面図である。

【図 48】 本発明の実施の形態 5 に係る MRAM の構成を示す平面図である。

【図 49】 本発明の実施の形態 6 に係る半導体基板の構成を示す断面図である。

【図 50】 本発明の実施の形態 6 に係る半導体基板の構成を示す断面図である。

【図 51】 一般的な MRAM の構成を示すブロック図である。

【図 52】 本発明の実施の形態 7 に係る MRAM の構成を示すブロック図である。

【図 53】 本発明の実施の形態 7 に係る MRAM の構成を示すブロック図である。

【図 54】 一般的なパッケージ化された MRAM の構成を示す断面図である。

【図 55】 一般的なパッケージ化された MRAM の構成を示す断面図である。

【図 56】 本発明の実施の形態 8 に係る MRAM の構成を示す断面図である。

【図 57】 本発明の実施の形態 8 に係る MRAM の構成を示す平面図である。

【図 58】 本発明の実施の形態 8 に係る MRAM の製造工程を示す斜視図である。

【図 59】 本発明の実施の形態 8 に係る MRAM の製造工程を示す斜視図である。

【図 60】 本発明の実施の形態 8 に係る MRAM の製造工程を示す斜視図である。

【図 61】 本発明の実施の形態 8 に係る MRAM の製造工程を示す斜視図である。

【図 62】 本発明の実施の形態 8 に係る MRAM の製造工程を示す斜視図である。

【図 63】 本発明の実施の形態 8 に係る MRAM の部分構成を説明する平面図である。

【図 64】 本発明の実施の形態 8 に係る MRAM の部分構成を説明する断面図である。

【図 65】 本発明の実施の形態 8 に係る MRAM の構

成を示す断面図である。

【図 6 6】 本発明の実施の形態 8 に係る M R A M の構成を示す断面図である。

【図 6 7】 磁気トンネル接合の概念を示す図である。

【図 6 8】 遷移金属の状態密度を模式的に示す図である。

【図 6 9】 トンネル磁気抵抗効果を説明する模式図である。

【図 7 0】 トンネル磁気抵抗効果を説明する模式図である。

【図 7 1】 磁気トンネル接合の構成例を示す図である。

【図 7 2】 磁気トンネル接合の構成例を示す図である。

【図 7 3】 スピンバルブ型強磁性トンネル接合素子の実例を示す図である。

【図 7 4】 スピンバルブ型強磁性トンネル接合素子の実測特性を示す図である。

【図 7 5】 従来の M R A M セルアレイの構成を示す斜

視図である。

【図 7 6】 従来の M R A M セルアレイの構成を示す斜視図である。

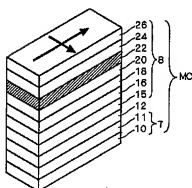
【図 7 7】 従来の M R A M セルアレイの等価回路図である。

【図 7 8】 従来の M R A M セルアレイの動作を説明する図である。

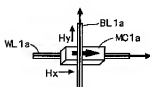
【符号の説明】

MC 2, MC 3 M R A M セル、6 4, 8 3 サブワード線、6 6, 8 5, 1 6 6 M R A M セルアレイ、6 7, 8 4 メインワード線、8 7 グローバルワード線、8 6 1, 1 8 6 1 メモリセルアレイ群、1 6 4, 1 8 3 サブビット線、1 6 7, 1 8 4 メインビット線、1 8 7 グローバルビット線、1 2 5 遮蔽用半田バンプ、2 2 3, 2 3 5 応力緩和膜、1 2 7 信号伝送用半田バンプ、1 2 2 半導体チップ、1 D インダクタ、F B L フラッシュビット線、F W L フラッシュワード線、S H B 遮蔽体。

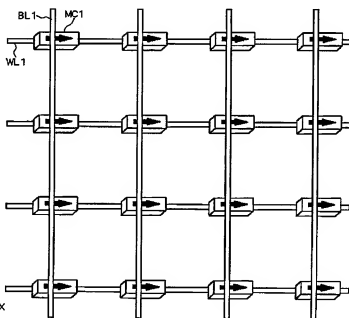
【図 1】



【図 9】



【図 2】



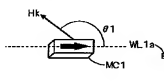
【図 10】

【図 11】

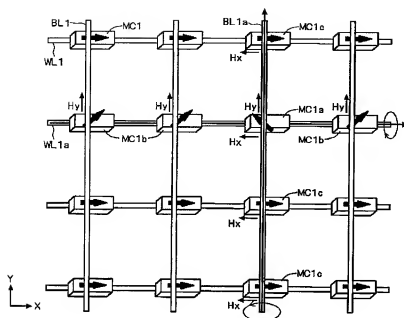
【図 12】

【図 13】

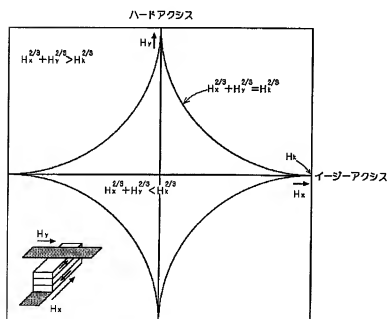
【図 14】



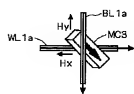
【図 3】



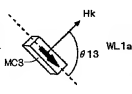
【図 4】



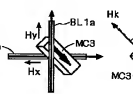
【図 20】



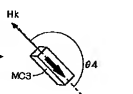
【図 21】



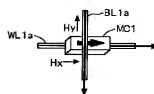
【図 22】



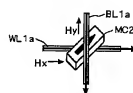
【図 23】



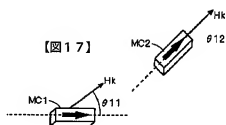
【図 16】



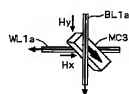
【図 18】



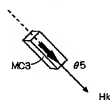
【図 19】



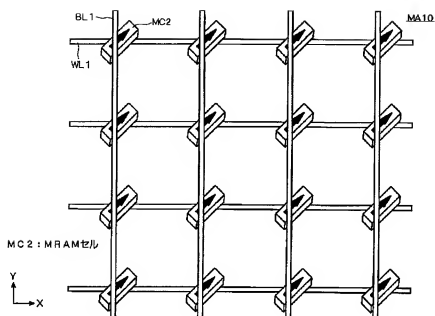
【図 24】



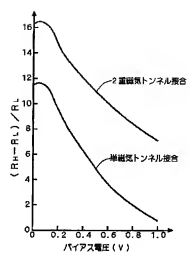
【図 25】



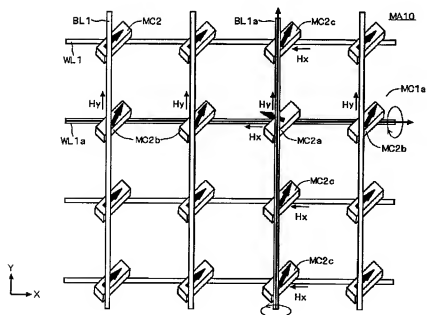
【図5】



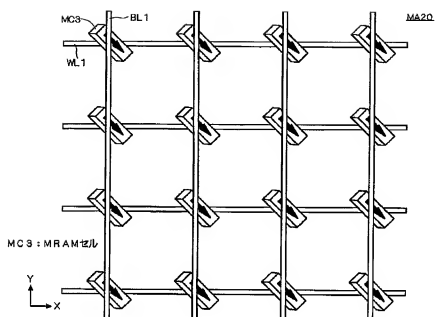
【図29】



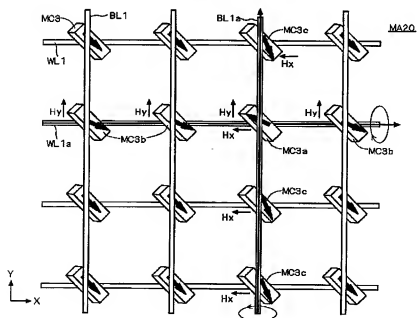
【図6】



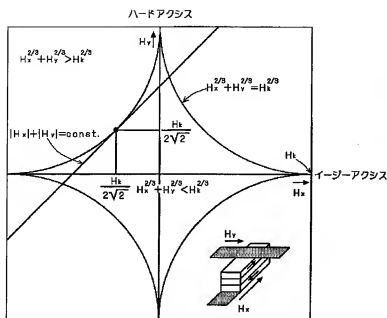
【図7】



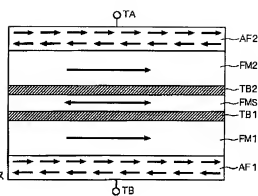
【図8】



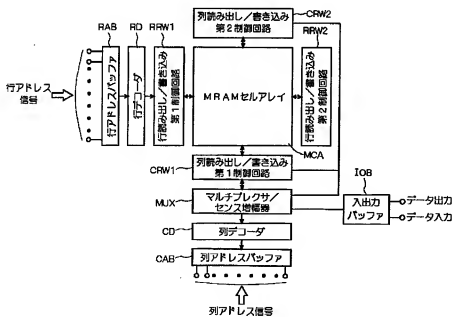
【図15】



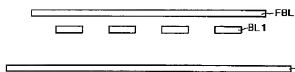
【図30】



【図26】



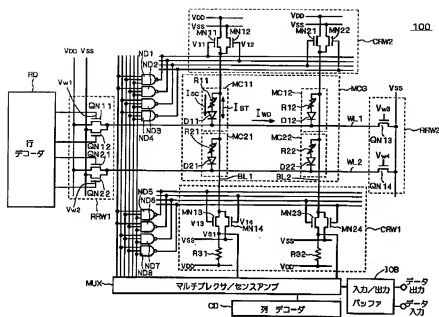
【図44】



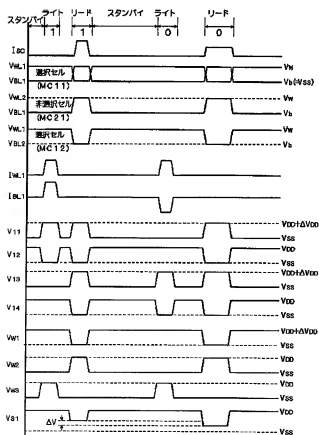
【図45】



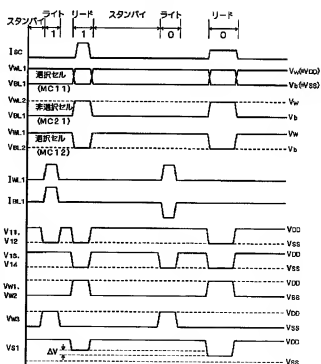
【図27】



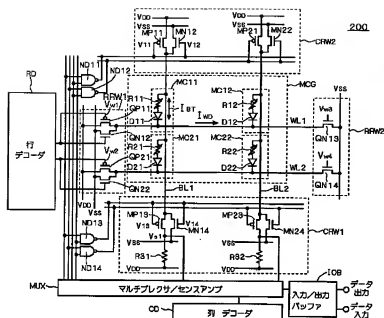
【図28】



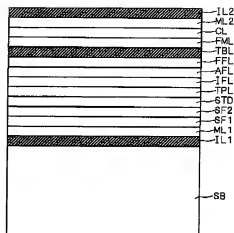
【図32】



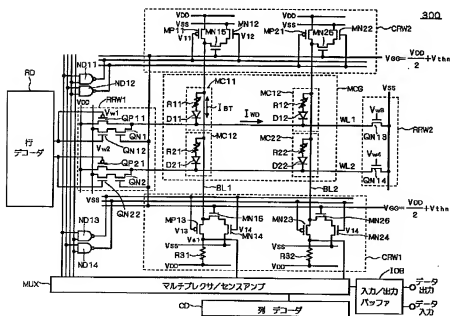
【図31】



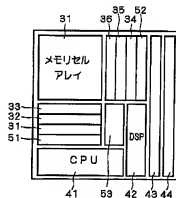
【図49】



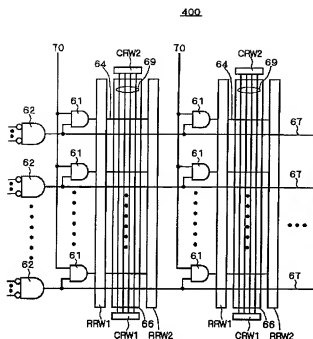
【図33】



【図51】

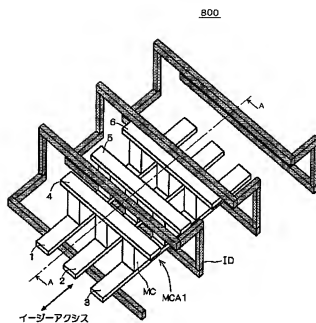


【図34】



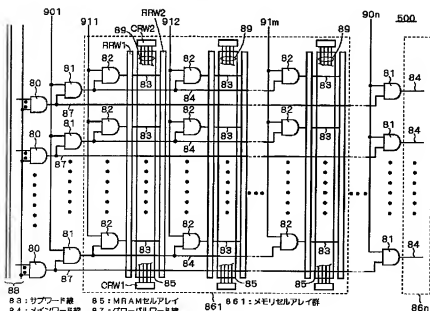
64 : サブワード線 66 : M RAMセルアレイ
67 : メインワード線

【図39】



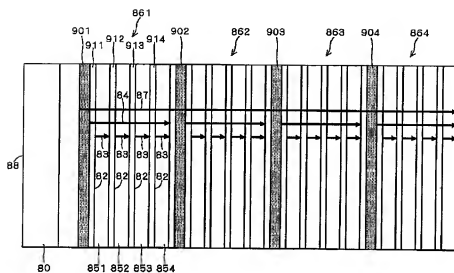
ID : インダクタ

【図35】

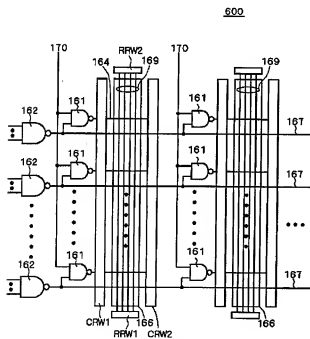


83 : サブワード線 85 : M RAMセルアレイ 861 : メモリセルアレイ部
84 : メインワード線 87 : グローバルワード線

【図36】



【図37】



164 : サブビット線
167 : メインビット線
166 : MRAMセルアレイ

【図43】

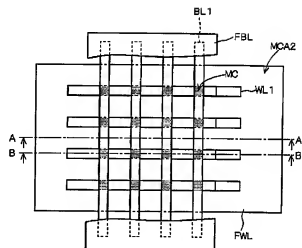
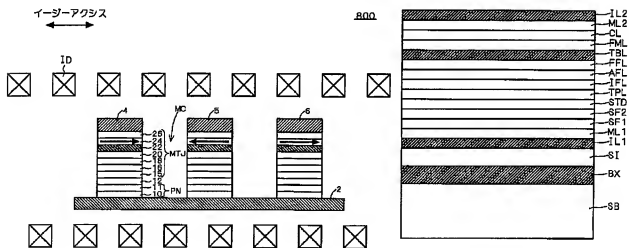
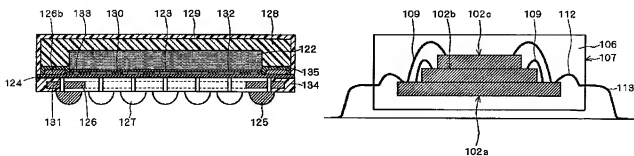


Figure 1 is a block diagram of a memory array structure. The diagram shows a grid of memory cells (181, 182, 183, 184) connected to word lines (185) and bit lines (186). The array is divided into columns by word lines and rows by bit lines. The columns are labeled 180, 181, 182, 183, 184, and 185. The rows are labeled 190, 191, 192, 193, 194, and 195. The diagram also shows control lines (187, 188) and a memory array (189). The diagram is labeled with various reference numerals (180, 181, 182, 183, 184, 185, 186, 187, 188, 189, 190, 191, 192, 193, 194, 195, 196, 197, 198, 199, 200).

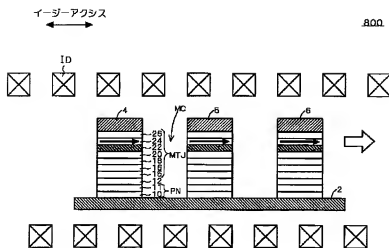
【图 50】



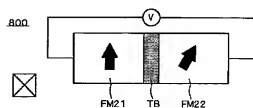
【图 5-5】



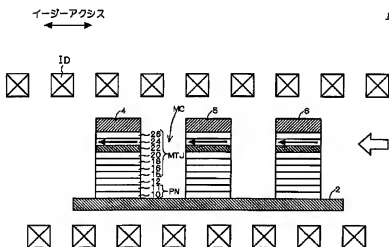
【図41】



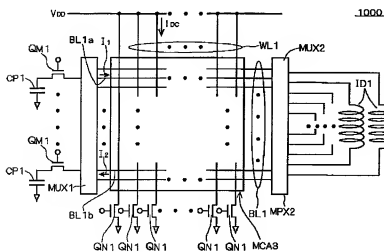
【図67】



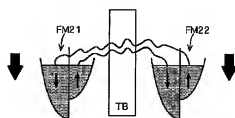
【図42】



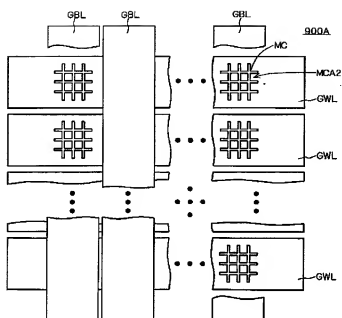
【図47】



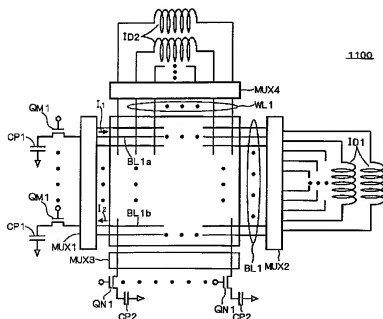
【図69】



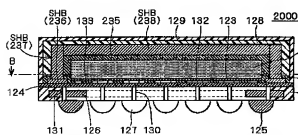
【図46】



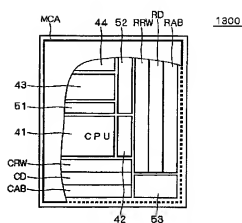
【図48】



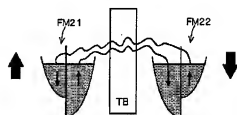
【図56】



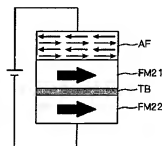
【図53】



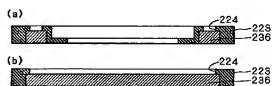
【図70】



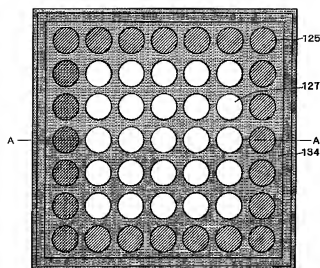
【図71】



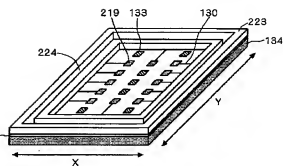
【図64】



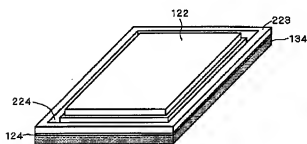
【図 57】



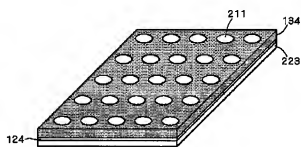
【図 58】



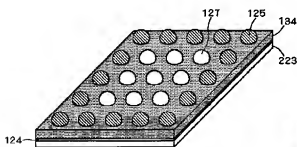
【図 59】



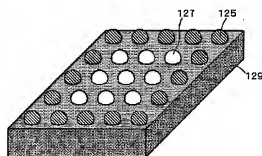
【図 60】



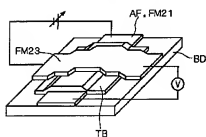
【図 61】



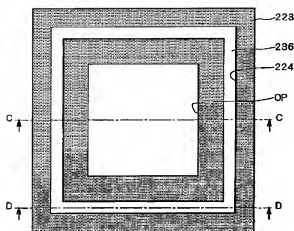
【図 62】



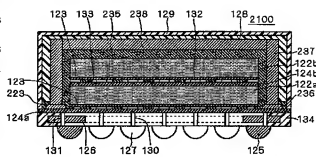
【図 73】



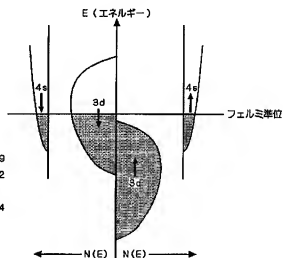
【図63】



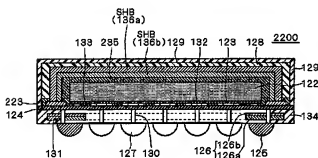
【図65】



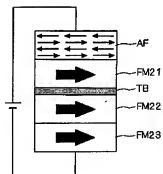
【図68】



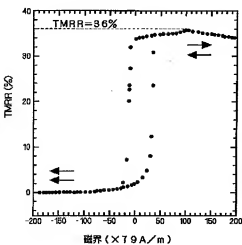
【図66】



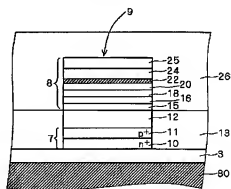
【図72】



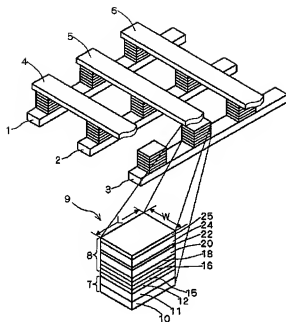
【図74】



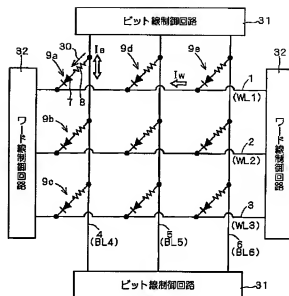
【図76】



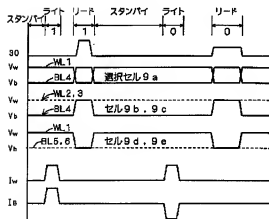
【図 75】



【図 77】



【図 78】



フロントページの続き

(51) Int. Cl.⁷ 識別記号
H01L 43/08

F I テーマコード (参考)
H01L 27/10 447

(72) 発明者 前田 茂伸
東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

F ターム (参考) 5E049 AA01 AA04 AA07 AA09 AC05
BA06 CB01 DB01 DB12
5F083 FZ10 GA01